

# 電源 nLDMOS 元件源/汲極工程探討研究 A Study of Source/Drain Engineering in a Power nLDMOS

陳勝利<sup>1\*</sup>

吳宗賢<sup>1</sup>

陳勛祥<sup>2</sup>

Shen-Li Chen

Tzung-Shian Wu

H.H. Chen

<sup>1</sup>Dept. of Electronic Engineering, National United University, Taiwan

Email: jackchen@nuu.edu.tw

<sup>2</sup>Dept. of Electronic Engineering, National Changhua University of Education, Taiwan

## 摘要

本篇論文，我們主要是針對高壓元件 nLDMOS 的門鎖效應(Latch-up)可靠性問題進行改善研究，也就是利用源極(Source)工程改善該元件門鎖效應。有兩個重要物理參數分別是保持電壓(Holding Voltage)和觸發電壓(Trigger Voltage)可用來判斷此高壓元件對於門鎖問題的免疫力和實際應用上的導通速度。本次研究結果最後可得個結論：源極/汲極工程可有效地使觸發電壓降低和保持電壓的提升，可有效地使門鎖效應得到改善。

**關鍵字：**靜電放電、門鎖效應、觸發電壓、保持電壓、臨界電壓、適應層。

## Abstract

For the HV device latch-up reliability problem, both drain-side and source-side engineering by adding  $N_{ad}$  and  $P_{ad}$  layers to obtain a weak snapback characteristic nLDMOS are investigated in this work. It is a novel method to reduce trigger voltage( $V_{t1}$ ) and to increase holding voltage( $V_h$ ) for the latch-up immunity and turn-on speed. These efforts will be very suitable for the HV power management IC applications. From this work, it is can be concluded that the triggering voltage and holding voltage of an HV nLDMOS device can be more effectively improved by the source/drain-side engineering.

**Keywords:** Electrostatic Discharge, Latch-up effect, Trigger Voltage, Holding Voltage, threshold voltage, adaptive layer

## 1. 引言

高壓元件 nLDMOS 常被應用在汽車電子、電源管理 IC、交換式電源供應器、LED 和 LCD 的驅動電路中，但靜電放電(Electrostatic discharge)和門鎖效應的可靠度是許多應用產品的重大議題 [1][2]。

nLDMOS 的汲極工程吸引了很多人研究 [1][3]，其結構可用以預防 Kirk effect 的產生並且增加 nLDMOS 的可靠度問題[4]。此結構使用高劑量的離子植入方式，改善 nLDMOS 的可靠度問題。另外源極工程我們發現，除了可以抵抗基板雜訊外並且也發現可預防 Latch-up 的產生。這兩個方式，皆是使 nLDMOS 在眾多應用中增加門鎖可靠度的好方法。因此在本篇論文中，我們的實驗結果最後可以得到一個高保持電壓和低觸發電壓(弱驟回；weak snapback)的 nLDMOS。

高壓元件的 ESD 承受能力和 Latch-up 的免疫力建立在 ESD 保護視窗上，可靠性保護視窗共有三個重要參數，分別是觸發電壓( $V_{t1}$ )、保持電壓( $V_h$ )和導通電阻( $R_{on}$  resistance)。圖 1. 中的 BVOX 為內部電路的 Gate oxide 的崩潰電壓，當 ESD 事件發生時，如果在輸入埠該高壓元件之觸發電壓小於 BVOX，則該 ESD 保護元件可以在 Gate oxide 崩潰前導通，避免內部電路被破壞。

保持電壓是個有關於 Latch-up 的重要參數，若供應電壓( $VDD_{max}$ )大於保持電壓，則該高壓元件有可能被雜訊影響，汲極電位將從  $V_{t1}$  跳至  $V_h$  電位，那麼這時的供應電壓將會成為破壞元件的來源之一，所以為了確保其元件在高壓操作下的可靠度，其設計的目標是要使保持電壓越大越好，如圖 1 中之  $V_h'$ 。

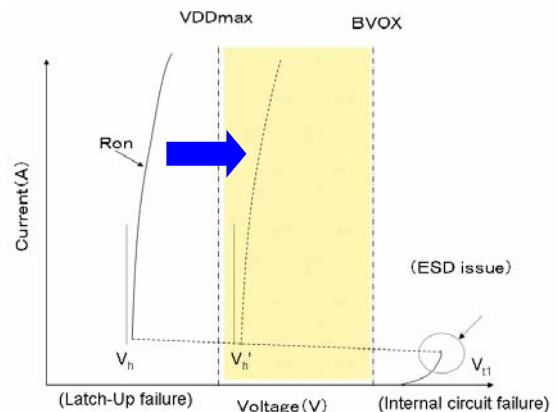


圖 1. 可靠性保護視窗和高壓元件的重要參數。

## 2. 汲極適應層(N-type adaptive layer; $N_{ad}$ )的設計

相較於圖 2 的傳統 nLDMOS 結構，圖 3 的汲極適應層架構是一個有效降低觸發電壓與增大保持電壓的一個好方法，此結構更可以有效降低表面電場的強度。如圖 4~圖 6 所示，各分別代表不同汲極結構的表面電場，圖中最左(右)端各分別為源(汲)極。圖 4 傳統結構的汲極區電場可以達到  $3.5 \times 10^3 \text{V/cm}$  的電場強度，且可以看出電場的峰值落在濃度梯度高的地方。 $N^+/N_{epi}$  的界面可視為一個界面二極體，因為此界面二極體受到高電場的影響，其產生的高電流將導致 LDMOS 內部寄生的

BJT(Bipolar junction transistor)導通。所以這次使用的適應層結構，將考增加了一個  $N_{epi}/N_{ad}$  介面二極體來承受高電場，更進一步使  $V_h$  增加。由圖 5 中，可看到汲極區電場降低為  $2.5 \times 10^3 \text{V/cm}$ ，這樣可防止高電場產生的高電流導致 Kirk effect 發生。接著就是做  $L_{Nad}$  長度的調整，從  $5\mu\text{m}$  增加至  $8.6\mu\text{m}$ ，圖 6 可看出  $N_{epi}/N_{ad}$  的介面高電場的位置向左移動，其實驗結果顯示其觸發電壓降低，原因是因為增加  $L_{Nad}$  的長度也等同於表面的電流路徑上，低電阻的區域增加，所以在兩個峰值的中間可看出表面電場又再次的下降，其實驗結果也與 Resurf 原理有相同的效果。

圖 7. 為這次實驗所產生的驟回(Snapback) I-V 曲線的比較，若新加入  $N_{ad}$  結構時，其驟回 I-V 曲線是往右平移，其保持電壓和觸發電壓會隨著離子植入的劑量增加而增加，但是有著觸發電壓太高而無法太快啟動之缺點。所以得增加其離子植入的面積，降低其表面的電場，因此得到的最後結果較原來傳統的結構有著低觸發電壓和高保持電壓的特性。因此架構可以較傳統結構(圖 2)得到較好的閃鎖效應免疫力和快的觸發速度，在 HV 應用上有重要的可靠度改善功效。

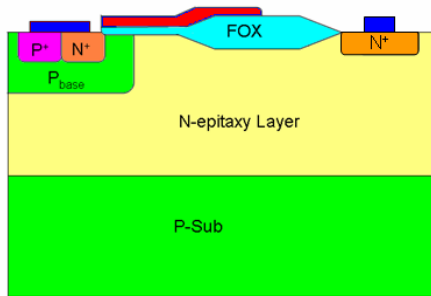


圖 2. 傳統的 nLDMOS 結構。

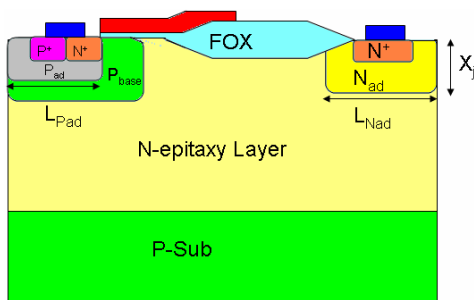


圖 3. 本論文中的新 nLDMOS 結構。

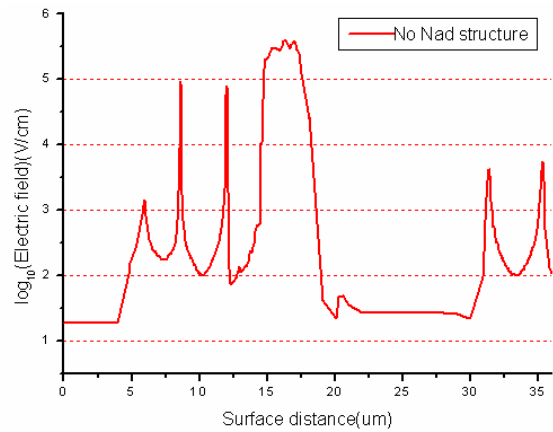


圖 4. 傳統 nLDMOS 結構下的表面電場分佈。

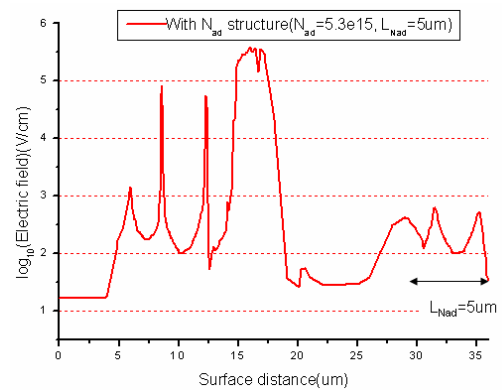


圖 5. 有新汲極適應層結構下之 nLDMOS 電場分佈 (當  $L_{Nad}=5\mu\text{m}$ ,  $N_{ad}=5.3 \times 10^{15} \text{atoms/cm}^2$ )。

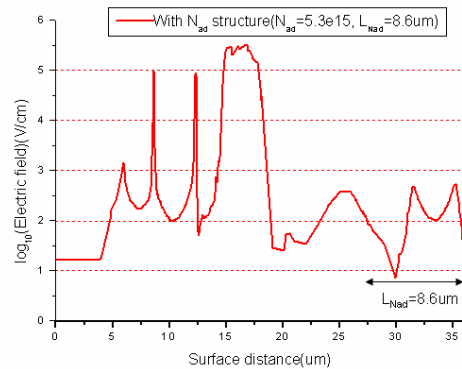


圖 6. 有新汲極適應層結構下之 nLDMOS 電場分佈 (當  $L_{Nad}=8.6\mu\text{m}$ ,  $N_{ad}=5.3 \times 10^{15} \text{atoms/cm}^2$ )。

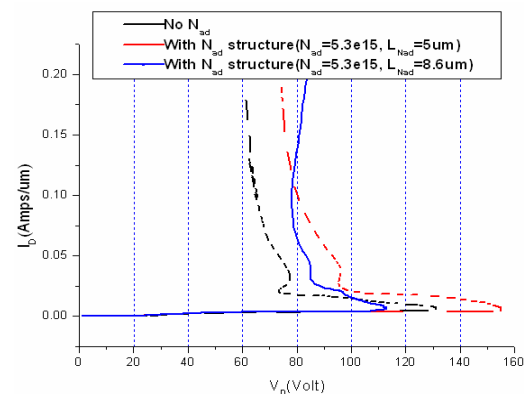


圖 7. 不同條件下的驟回 I-V 曲線比較。

### 3. 源極適應層(P-type adaptive layer, $P_{ad}$ )的設計

#### 3-1. $P_{ad}$ 離子植入劑量的影響

當接地端發生雜訊時，若其電流路徑穿越其源極部分的  $N^+/P_{base}$  介面，也易造成另一閃鎖效應，所以增加  $P_{ad}$  架構可以抵抗接地端的雜訊來避免閃鎖效應。因此在汲極端已加  $N_{ad}$  結構下 ( $N_{ad}=5.3 \times 10^{15} \text{cm}^{-2}$ ,  $L_{Nad}=8.6 \mu\text{m}$ )，如圖 8 可看到增加其  $P_{ad}$  離子佈植濃度可增加其保持電壓，但是導通電阻也增加了。增加  $P_{ad}$  離子佈植濃度越高，越容易影響通道區域的參雜狀況，其通道區域的電洞濃度越高，其要導通反轉的電壓就要越高，因此導通也就越不易，導通電阻上升，如圖 9 所示。在此實驗中，最佳的條件是  $P_{ad}$  為  $3.3 \times 10^{15} \text{atoms/cm}^2$  的情況下。

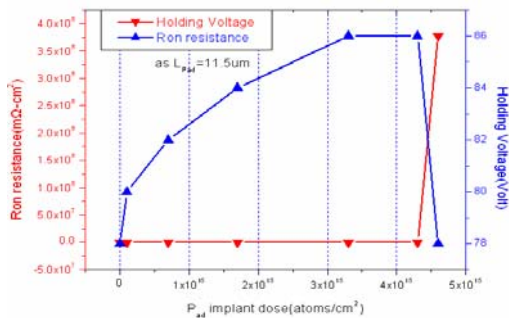


圖 8.  $P_{ad}$  的離子佈植濃度與保持電壓和導通電阻的關係。

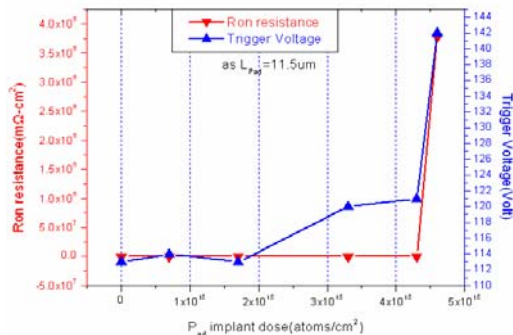


圖 9.  $P_{ad}$  的離子佈植濃度與觸發電壓和導通電阻的關係。

#### 3-2. $P_{ad}$ 離子植入長度的影響

在圖 10 的實驗結果裡，增加  $L_{Pad}$  的光罩長度可以有效增加保持電壓。 $P_{ad}$  能完整包覆  $N^+/P^+$  的長度為  $12 \mu\text{m}$ ，但是  $L_{Pad}$  過長的結果會造成通道區域導通電阻過大的問題，導通電阻在  $P_{ad}$  光罩長度等於  $11.6 \mu\text{m}$  其導通電阻增加地很明顯。圖 11~13 為其表面電場分佈圖，同樣圖中最左(右)端各分別為源(汲)極，在源極區域的電場也有隨著  $P_{ad}$  的光罩長度而有所變化。在沒有  $P_{ad}$  結構時，源極的電場強度可達  $10^3 \text{V/cm}$ ，加上  $P_{ad}$  結構如圖 12 及 13，電場強度降至  $4 \times 10^2 \text{V/cm}$ 。圖 14 為本次的實驗結果，元件的驟回曲線隨著  $L_{Pad}$  的長度增加而右移。

由此可知，此雙重結構更可以有效的避免閃鎖效應，增加元件在高電壓環境下的可靠度。由圖 10、12、14 可知，此實驗的最佳條件  $L_{Pad}$  的長度為  $11.5 \mu\text{m}$ 。

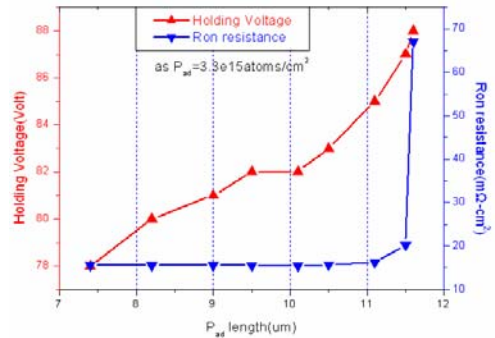


圖 10.  $P_{ad}$  離子佈植的光罩長度與保持電壓和導通電阻的關係。

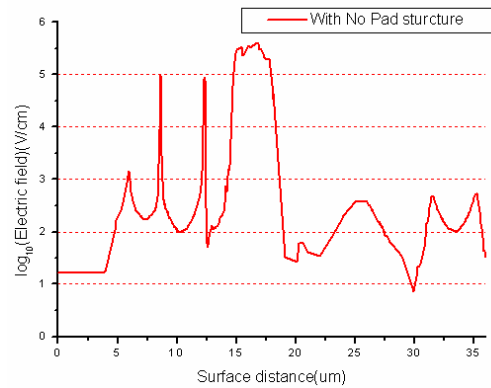


圖 11. 沒有源極適應層之 nLDMOS 表面電場分佈。

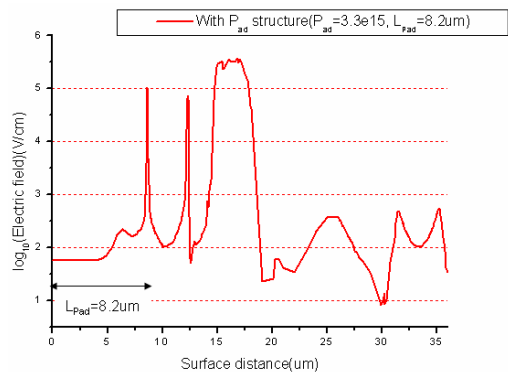


圖 12. 有源極適應層之 nLDMOS 表面電場分佈(當  $P_{ad}=3.3 \times 10^{15} \text{atoms/cm}^2$ ,  $L_{Pad}=8.2 \mu\text{m}$ )。

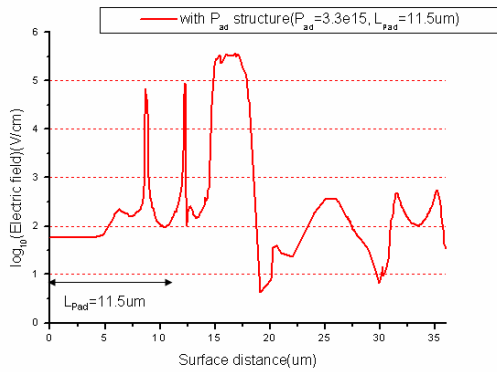


圖 13. 有源極適應層之 nLDMOS 表面電場分佈(當  $P_{ad}=3.3 \times 10^{15}$  atoms/cm<sup>2</sup>,  $L_{Pad}=11.5\mu m$ )。

### 3-2-2 $L_{Pad}$ 光罩長度對於臨界電壓的影響

nLDMOS 的導通工作原理與一般 MOSFET 相同，如圖 14 所示。在閘極上加一偏壓使其通道產生反轉層(inversion layer)，若另外加  $V_{ds}$  偏壓於汲極和源極間，它將使主要載子電子向汲極方向移動，但是在產生反轉層主要載子時，必須考慮到半導體的能帶關係，反轉必須要大於兩倍的平帶電壓(flat-band voltage)才能使原本的 P-type 的基板在表面產生 N-type 的通道。如果 P-type 摻雜濃度越高，其費米能階(Fermi level)會越靠近  $E_V$ (Valence band)，其要形成反轉就需要越大的閘極電壓才能使通道區域產生電子反轉層。對於源極適應層結構來說，其離子植入的光罩長度會影響通道區域的摻雜狀況。

為了使 nLDMOS 在高壓操作下的可靠度變好(避免閃鎖效應)，其  $P_{base}$  和  $P_{ad}$  的離子佈置濃度要越高越好，但是對於 On-state 的 nLDMOS 來說  $P_{base}$  和  $P_{ad}$  的濃度越高，其導通的條件就變的越高，也就是臨界電壓值(Threshold voltage) 越高。

$$I_{ESD} = I_{MOS} + I_{BJT} \quad (1)$$

式子(1)為 ESD 保護元件對於 ESD 排放能力的電流分流式子，其 ESD 能力( $I_{ESD}$ )可由  $I_{MOS}$  和寄生 BJT ( $I_{BJT}$ )架構來增強。所以在考慮 On-state 的狀況下，本實驗針對不同的  $P_{ad}$  光罩長度對臨界電壓的關係，發現如圖 15 中，若其光罩長度超過 11.3um 的時候，此 nLDMOS 在閘極電壓為 5V 下沒辦法導通。因此對比 3-2-1 節， $P_{ad}$  光罩長度的最大值將不得超過 11.5um(其臨界電壓將大於 5V)。再由圖 16 及圖 17 可進一步看出其電流路徑，在光罩長度為 11.5um 時，其通道表面並未形成反轉層，所以在 On-state 時，此元件無法提供好的 ESD 排放能力，所以在此架構中及參考圖 18，將選用光罩長度為 11.1um 為最佳值。

圖 18 為在不同  $L_{Pad}$  長度下的驟回 I-V 曲線變化，由圖中可看出若無  $P_{ad}$  結構的 nLDMOS 有較低的觸發電壓和保持電壓。加上了  $P_{ad}$  結構之後，

其觸發電壓和保持電壓隨著長度增加而增加，也就代表  $L_{Pad}$  的長度越長，其影響通道區域的摻雜狀況也就更明顯，防止閃鎖效應的能力也就越好。所以在此實驗中， $L_{Pad}$  長度為 11.1um 時，擁有較佳的閃鎖效應免疫力，故選此值為本實驗最佳值。

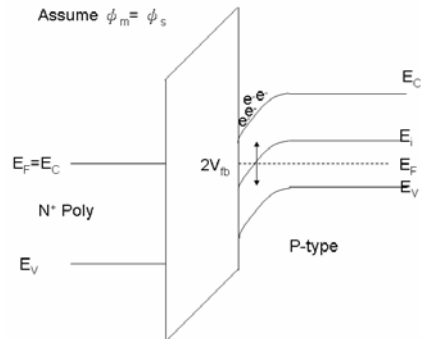


圖 14. 矽通道表面形成反轉層之示意圖

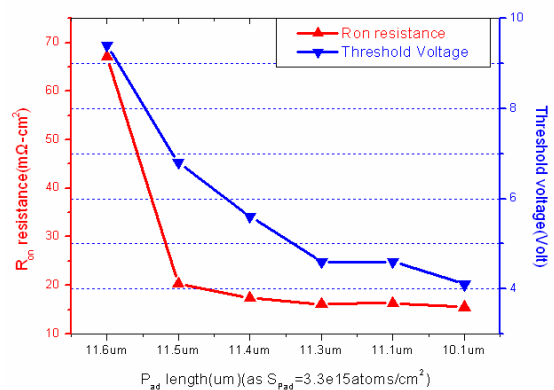


圖 15. 導通電阻和臨界電壓與  $L_{Pad}$  長度的關係圖。

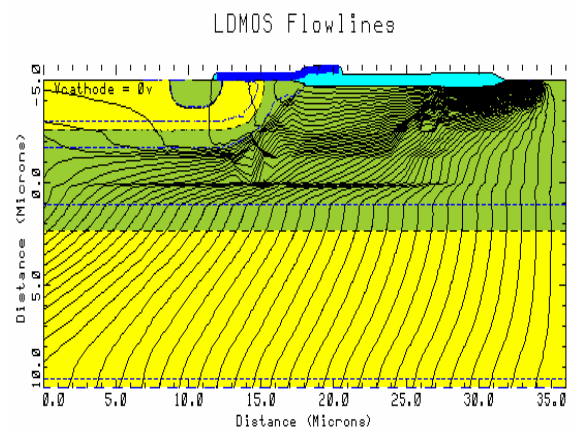


圖 16. 當  $V_G=5V$ ,  $P_{ad}$  光罩長度為 11.5um 條件下的電流路徑。



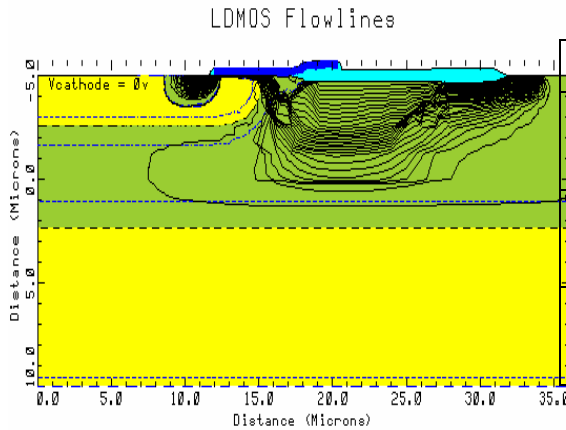


圖 17. 當  $V_G=5V$  ,  $P_{ad}$  光罩長度為  $11.1\mu m$  條件下的電流路徑。

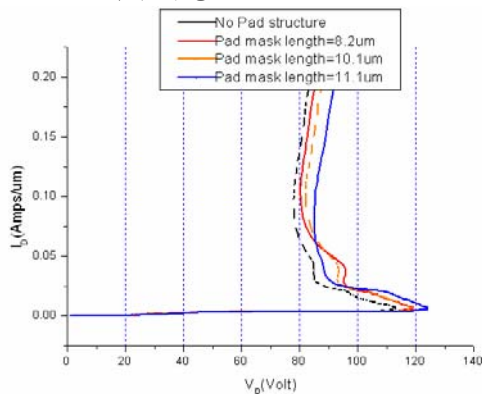


圖 18. 不同  $L_{Pad}$  長度下的驟回 I-V 曲線圖。

#### 4. 討論

最後由圖 19 中我們發現，傳統結構的 nLDMOS，元件本身擁有較高的觸發電壓和最小的保持電壓；若元件汲極端加上  $N_{ad}$  結構，可同時有效降低觸發電壓和提升保持電壓。如果再加上  $P_{ad}$  結構，則可以更提升保持電壓值，以確保元件在各種應用上的可靠度。因此最後可得一個結論，高壓元件的觸發電壓與保持電壓可以透過的該元件兩電極端  $N_{ad}$  和  $P_{ad}$  結構來控制。這三種不同結構 nLDMOS，其重要的參數如表 1 所示。

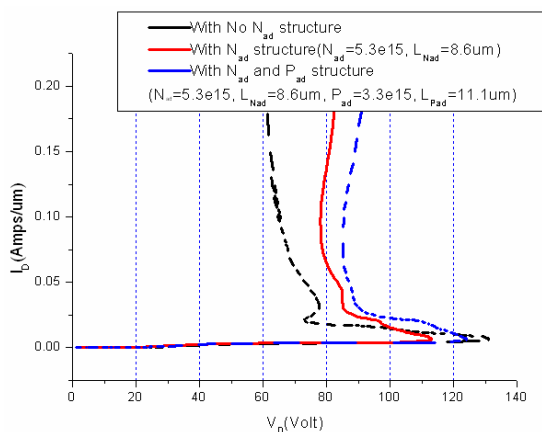


圖 19. 三種不同結構的驟回曲線圖

表1. 三種不同結構的門鎖效應參數比較

	$V_{t1}(V)$	$V_h(V)$
No $N_{ad}$	131	61
With $N_{ad}$ structure, without $P_{ad}$	115	78
Both with $N_{ad}$ and $P_{ad}$ structures	125	85

#### 5. 結論

在本論文中，我們實現了一個低觸發電壓和高保持電壓的 nLDMOS。汲極工程可降低觸發電壓和增加保持電壓，此為一個新穎的方法，來降低表面電場並且控制觸發電壓和保持電壓。源極工程可抵抗接地雜訊並且降低門鎖效應的發生，增加其元件在高電壓環境操作下的可靠度。最後由本篇論文數據，發現最佳化的驟回參數分別是觸發電壓為  $121V$  與保持電壓為  $87V$ 。

#### 參考文獻

- [1] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse and G. Gallopyn, "Design And Analysis of New Protection Structures for Smart Power Technology with Controlled Trigger and Holding Voltage," IEEE International Reliability Physics Symposium, Orlando, p.253, 2001.
- [2] W. Y. Chen, M. D. Ker, Y. J. Huang, Y. N. Jou and G. L. Lin, "Measurement on Snapback Holding Voltage of High-Voltage LDMOS for Latch-up Consideration," IEEE Proceedings of Asia Pacific Conference on Circuits and Systems, p.61, 2008.
- [3] J. F. Chen, S. Y. Chen, K. S. Tian, K. M. Wu, Y. K. Su, C. M. Liu, and S. L. Hsu, "Effect of Drift-Region Design on the Reliability of Integrated High-Voltage LDMOS Transistors," IEEE International Conference Integrated Circuit Design & Technology, Austin, TX, p.1, 2007.
- [4] A. W. Ludikhuizen, "Kirk effect limitations in High Voltage IC's," Proc. of the 6th Internat. Symposium on Power Semiconductor Devices & IC's, Davos, Switzerland, p.249, 1994.