



(19) 中華民國智慧財產局

(12) 新型說明書公告本

(11) 證書號數：TW M453305U1

(45) 公告日：中華民國 102 (2013) 年 05 月 11 日

(21) 申請案號：101222155

(22) 申請日：中華民國 101 (2012) 年 11 月 15 日

(51) Int. Cl. : **H03K19/00 (2006.01)**

(71) 申請人：崑山科技大學(中華民國) KUN SHAN UNIVERSITY (TW)

臺南市永康區大灣路 949 號

(72) 新型創作人：蔡澄雄 TSAI, CHENG HSIUNG (TW)；蔡澈雄 TSAI, CHER SHIUNG (TW)；甘廣宙 GAN, KWANG JOW (TW)；高振凱 KAO, ZHEN KAI (TW)；黃建雄 HUANG, JIAN SYONG (TW)

(74) 代理人：蘇顯讀

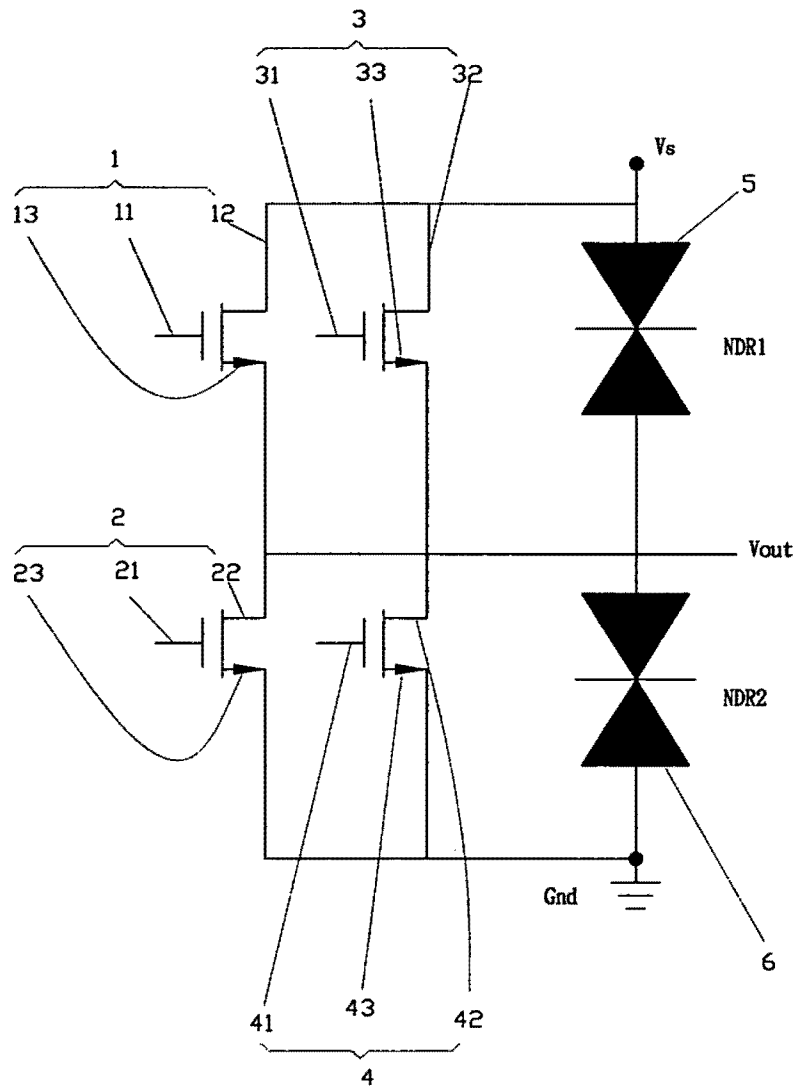
申請專利範圍項數：5 項 圖式數：11 共 25 頁

(54) 名稱

具 MOS-BJT-NDR 電路之單穩態-雙穩態二輸入邏輯閘

(57) 摘要

一種具 MOS-BJT-NDR 電路之單穩態-雙穩態二輸入邏輯閘，包含有一第一 MOS 電晶體、第二 MOS 電晶體、第三 MOS 電晶體、第四 MOS 電晶體、第一負微分電阻元件及一第二負微分電阻元件，其中該第一負微分電阻元件一端電性連接前述第一 MOS 電晶體之一第一汲極端及前述第三 MOS 電晶體之一第三汲極端，而該第二負微分電阻元件一端電性連接前述第二 MOS 電晶體之一第二源極端及第四 MOS 電晶體之一第四源極端，而另一端係電性連接前述第一負微分電阻元件之另一端，主要藉由第一輸入端、第二輸入端、第三輸入端及第四輸入端之二輸入電壓狀態，以實現基本邏輯閘電路。



第一圖

- (1) . . . 第一 MOS 電晶體
- (11) . . . 第一輸入端
- (12) . . . 第一汲極端
- (13) . . . 第一源極端
- (2) . . . 第二 MOS 電晶體
- (21) . . . 第二輸入端
- (22) . . . 第二汲極端
- (23) . . . 第二源極端
- (3) . . . 第三 MOS 電晶體
- (31) . . . 第三輸入端
- (32) . . . 第三汲極端
- (33) . . . 第三源極端
- (4) . . . 第四 MOS 電晶體
- (41) . . . 第四輸入端
- (42) . . . 第四汲極端
- (43) . . . 第四源極端
- (5) . . . 第一負微分電阻元件
- (6) . . . 第二負微分電阻元件



# 新型專利說明書

公告本

※記號部分請勿填寫

※申請案號: 101222155

※IPC分類: H03K 19/00 (2006.01)

※申請日: 101. 11. 15

## 一、新型名稱:

具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘

## 二、中文新型摘要:

一種具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，包含有一第一MOS電晶體、第二MOS電晶體、第三MOS電晶體、第四MOS電晶體、第一負微分電阻元件及一第二負微分電阻元件，其中該第一負微分電阻元件一端電性連接前述第一MOS電晶體之一第一汲極端及前述第三MOS電晶體之一第三汲極端，而該第二負微分電阻元件一端電性連接前述第二MOS電晶體之一第二源極端及第四MOS電晶體之一第四源極端，而另一端係電性連接前述第一負微分電阻元件之另一端，主要藉由第一輸入端、第二輸入端、第三輸入端及第四輸入端之二輸入電壓狀態，以實現基本邏輯閘電路。

## 三、英文新型摘要:

## 四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

- (1) 第一MOS電晶體
- (11) 第一輸入端
- (12) 第一汲極端
- (13) 第一源極端
- (2) 第二MOS電晶體
- (21) 第二輸入端
- (22) 第二汲極端
- (23) 第二源極端
- (3) 第三MOS電晶體
- (31) 第三輸入端
- (32) 第三汲極端
- (33) 第三源極端
- (4) 第四MOS電晶體
- (41) 第四輸入端
- (42) 第四汲極端
- (43) 第四源極端
- (5) 第一負微分電阻元件
- (6) 第二負微分電阻元件

## 五、新型說明：

### 【新型所屬之技術領域】

[0001] 本創作係為一種具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，尤指一種在MOS-BJT-NDR電路中並藉由第一輸入端、第二輸入端、第三輸入端及第四輸入端之二輸入電壓狀態，以實現基本邏輯閘之電路。

### 【先前技術】

[0002] 目前，隨著積體電路製程技術的不斷進步以及科技發展日新月異，許多通訊電子產品都往功能強大、高頻領域發展，但其元件的成本仍然偏高，為了降低製作成本及整合成SOC系統化電路。

[0003] 在許多文獻中證實，具負微分電阻特性的共振穿透二極體(RTD)元件，具有高電子移動遷移率、極快速的切換時間，和高頻下操作等優點。但是其製造過程相當複雜與困難，成本也相當昂貴，並且有和矽積體電路製程不相容等不利因素。

[0004] 又，目前並無揭露只利用一個IC而擁有多種邏輯閘功能之電路，因此目前若需要多種邏輯閘之功能會使得電路構造較為複雜。

### 【新型內容】

[0005] 爰此，本創作人為了降低成本、達成易與積體電路元件相配合以及可藉由八個場效應電晶體(MOSFET)與兩個異質接面電晶體(BJT)而具有五種基本邏輯閘電路之優點，致力於研究，進而發展出一種具MOS-BJT-NDR電路

之單穩態-雙穩態二輸入邏輯閘，係包含有：

- [0006] 一第一MOS電晶體，包含有一第一輸入端、一第一汲極端及一第一源極端；
- [0007] 一第二MOS電晶體，包含有一第二輸入端、一第二汲極端及一第二源極端，所述第二汲極端電性連接前述第一源極端；
- [0008] 一第三MOS電晶體，包含有一第三輸入端、一第三汲極端及一第三源極端，所述第三汲極端電性連接前述第一汲極端；
- [0009] 一第四MOS電晶體，包含有一第四輸入端、一第四汲極端及一第四源極端，所述第四汲極端電性連接前述第三源極端，所述第四源極端電性連接前述第二源極端；
- [0010] 一第一負微分電阻元件，一端電性連接前述第一汲極端及前述第三汲極端；
- [0011] 一第二負微分電阻元件，一端電性連接前述第二源極端及第四源極端，而所述第二負微分電阻元件另一端係電性連接前述第一負微分電阻元件之另一端；
- [0012] 藉由第一輸入端、第二輸入端、第三輸入端及第四輸入端之二輸入電壓狀態，以實現基本邏輯閘電路。
- [0013] 其中，所述第一負微分電阻元件包含有一第一電壓源、第一NMOS電晶體、第二NMOS電晶體及一第一BJT電晶體，該第一電壓源一端電性連接該第一NMOS電晶體之一閘極端及一汲極端，該第一NMOS電晶體之一源極端電

性連接該第二NMOS電晶體之一汲極端及該第一BJT電晶體之一基極端，該第二NMOS電晶體之一閘極端電性連接一第一固定電壓源及該第一BJT電晶體之一集極端，該第二NMOS電晶體之一源極端電性連接該第一電壓源另一端及該第一BJT電晶體之一射極端。

[0014] 其中，所述第二負微分電阻元件包含有一第二電壓源、第三NMOS電晶體、第四NMOS電晶體及一第二BJT電晶體，該第二電壓源一端電性連接該第三NMOS電晶體之一閘極端及一汲極端，該第三NMOS電晶體之一源極端電性連接該第四NMOS電晶體之一汲極端及該第二BJT電晶體之一基極端，該第四NMOS電晶體之一閘極端電性連接一第三電壓源及該第二BJT電晶體之一集極端，該第四NMOS電晶體之一源極端電性連接該第二電壓源另一端及該第二BJT電晶體之一射極端。

[0015] 進一步，所述第一負微分電阻元件及第二負微分電阻元件為 $\lambda$ 型。

[0016] 所述第一負微分電阻元件及第二負微分電阻元件之電流-電壓特性曲線包含有一正電阻區及一負電阻區。

[0017] 本創作之功效：

[0018] 1. 本創作可有效降低成本。

[0019] 2. 本創作之電路元件容易與積體電路元件相配合。

[0020] 3. 本創作只需要八個場效應電晶體(MOSFET)與兩個異質接面電晶體(BJT)並藉由二輸入電壓之狀態即可達到具有五種基本邏輯閘之功效，意即只需要一個IC就可以

擁有多種的邏輯閘。

[0021] 4. 本創作電路架構較為簡單。

**【實施方式】**

[0022] 本創作之技術特徵及增進功效，配合下列圖式之較佳實施例即可清楚呈現，首先，請參閱第一圖及第二圖所示，本創作之較佳實施例，為一種具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，包含有：

一第一MOS電晶體（1），該第一MOS電晶體（1）包含有一第一輸入端（11）、一第一汲極端（12）及一第一源極端（13）。

一第二MOS電晶體（2），該第二MOS電晶體（2）包含有一第二輸入端（21）、一第二汲極端（22）及一第二源極端（23），所述第二汲極端（22）電性連接前述第一源極端（13）。

一第三MOS電晶體（3），該第三MOS電晶體（3）包含有一第三輸入端（31）、一第三汲極端（32）及一第三源極端（33），所述第三汲極端（32）電性連接前述第一汲極端（12）。

一第四MOS電晶體（4），該第四MOS電晶體（4）包含有一第四輸入端（41）、一第四汲極端（42）及一第四源極端（43），所述第四汲極端（42）電性連接前述第三源極端（33），所述第四源極端（43）電性連接前述第二源極端（23）。

一第一負微分電阻元件（5），一端電性連接前述第一汲極端（12）及前述第三汲極端（32），其中所述第



一負微分電阻元件 (5) 包含有一第一電壓源 (51)、第一NMOS電晶體 (52)、第二NMOS電晶體 (53) 及一第一BJT電晶體 (54)，該第一電壓源 (51) 一端電性連接該第一NMOS電晶體 (52) 之一閘極端 (521) 及一汲極端 (522)，該第一NMOS電晶體 (52) 之一源極端 (523) 電性連接該第二NMOS電晶體 (53) 之一汲極端 (532) 及該第一BJT電晶體 (54) 之一基極端 (541)，該第二NMOS電晶體 (53) 之一閘極端 (531) 電性連接一第一固定電壓源及該第一BJT電晶體 (54) 之一集極端 (542)，該第二NMOS電晶體 (53) 之一源極端 (533) 電性連接該第一電壓源 (51) 另一端及該第一BJT電晶體 (54) 之一射極端 (543)，其中該第一負微分電阻元件 (5) 為 $\lambda$ 型。

一第二負微分電阻元件 (6)，一端電性連接前述第二源極端 (23) 及第四源極端 (43)，而所述第二負微分電阻元件 (6) 另一端係電性連接前述第一負微分電阻元件 (5) 之另一端，其中所述第二負微分電阻元件 (6) 包含有一第二電壓源 (61)、第三NMOS電晶體 (62)、第四NMOS電晶體 (63) 及一第二BJT電晶體 (64)，該第二電壓源 (61) 一端電性連接該第三NMOS電晶體 (62) 之一閘極端 (621) 及一汲極端 (622)，該第三NMOS電晶體 (62) 之一源極端 (623) 電性連接該第四NMOS電晶體 (63) 之一汲極端 (632) 及該第二BJT電晶體 (64) 之一基極端 (641)，該第四NMOS電晶體 (63) 之一閘極端 (631) 電性連接一第二固定電壓源 (65) 及該第二BJT電晶體 (64) 之一集極端 (642)，該第四

NMOS電晶體(63)之一源極端(633)電性連接該第二電壓源(61)另一端及該第二BJT電晶體(64)之一射極端(643)，其中該第二負微分電阻元件(6)為 $\lambda$ 型，本創作主要係藉由第一輸入端(11)、第二輸入端(21)、第三輸入端(31)及第四輸入端(41)之二輸入電壓狀態，以實現基本邏輯閘電路。

再者，請參閱第一圖、第三圖所示，係為該第一負微分電阻元件(5)及第二負微分電阻元件(6)為 $\lambda$ 型之電流-電壓特性曲線圖，其中包含有一正電阻區及一負電阻區，其動作原理為：

當第一MOS電晶體(1)的第一汲極端(12)所接的 $V_{gg}$ 給定一個大於第一MOS電晶體(1)臨界電壓的固定正電壓，因為第一MOS電晶體(1)的第一汲極端(12)與第一輸入端(11)[即閘極端]相接在一起，所以第一MOS電晶體(1)則一定會工作在飽和區，由於此時 $V_{dd}$ 接近於0V，所以第二MOS電晶體(2)工作在截止區，當 $V_{dd}$ 電壓逐漸加大(直到BJT的B-C逆偏)但依舊小於第二MOS電晶體(2)的臨界電壓，此時產生了正電阻區。

當 $V_{dd}$ 電壓持續上升至 $V_{dd}-V_{t2} > 0$ 時，第二MOS電晶體(2)導通，此時第一BJT電晶體(54)的 $V_{be}$ 電壓等於第二MOS電晶體(2)的 $V_{ds}$ 電壓，由於第一MOS電晶體(1)和第二MOS電晶體(2)分壓，使得第二MOS電晶體(2)的 $V_{ds}$ 電壓比第一BJT電晶體(54)的 $V_{be}$ 小，此時第一BJT電晶體(54)就截止，這時產生負電阻區。其中第一MOS電晶體(1)、第二MOS電晶體(2)與第一BJT電晶體(54)之操作狀態如表1：

[0023]

	第一 NMOS 電晶體 (第三 NMOS 電晶體)	第二 NMOS 電晶體 (第四 NMOS 電晶體)	第一 BJT 電晶體 (第二 BJT 電晶體)
正電阻區	飽和區	截止區	飽和區
負電阻區	飽和區	飽和區 ↓ 歐姆區	飽和區 ↓ 截止區

表1

另外，請參閱第四A圖、第四B圖及第四C圖所示，要說明的是單穩態-雙穩態傳輸邏輯之電路原理，所謂單穩態-雙穩態傳輸邏輯閘(monostable-bistable transition logic element, MOBILE)，是必須先將兩個負微分電阻[NDR]元件串聯，基本電路圖如第四A圖所示，其個別的特性曲線分別為第四A圖上方的Load-NDR元件(負載元件)與第四A圖下方的Driver-NDR元件(驅動元件)，並且適度控制其電源電壓 $V_s$ 的大小，當外加偏壓之電源電壓 $V_s$ 小於1倍峰值電壓( $V_p$ )時，將會有一個穩態點(stable operating point, Q1點)產生，如第四B圖所示，此型態稱為單穩態；而當外加偏壓之電源電壓 $V_s$ 大小增為兩倍峰值電壓( $V_p$ )到兩倍谷值電壓( $V_v$ )之間時，Load-NDR元件(負載元件)與Driver-NDR元件(驅動元件)的電流-電壓特性曲線會相互交於NDR區域，則其工作點會有兩個穩態點[Q1和Q3]與一個非穩態點[Q2]，而其位於兩個NDR區域交點處之點稱之為非穩態點(unstable operating point)，此時會有兩個穩態點Q1和Q3，所以稱為雙穩態。此時工作點會位於Q1和Q3之其中一點。而這兩個穩態點中，較

低電位的Q1 就代表邏輯閘電路中的Low 電位，而較高電位的Q3 就代表邏輯閘電路中的High 電位，如第四C圖所示。

至於會輸出Low電位或High電位，則由Load-NDR元件(負載元件)與Driver-NDR 元件(驅動元件)的電流-電壓特性曲線中相對的峰值電流(peak current,  $I_p$ )來決定，而 $I_p$  大小的控制，則由NDR元件並聯的增強型N通道MOSFET元件的 $V_G$  來控制，所以輸出電壓的準位可由輸入電壓 $V_G$  的大小來控制，進而達到邏輯輸出的結果。

進一步請參閱第一圖及第二圖所示，並配合參閱表2所示，以第一負微分電阻元件(5)作為Load-NDR元件(負載元件)與第二負微分電阻元件(6)作為Driver-NDR元件(驅動元件)，並以雙穩態來實現五種基本邏輯閘：反閘[INVERTER]、及閘[AND]、或閘[OR]、反及閘[NAND]、反或閘[NOR]之邏輯閘電路(如第一圖所示)，當第二輸入端(21)或第四輸入端(41)其中一個給予輸入，一開始Load-NDR元件(負載元件)的峰值電流大於Driver-NDR元件(驅動元件)的峰值電流，利用上述單穩態-雙穩態傳輸邏輯之電路原理[MOBILE理論]，以Load-NDR元件(負載元件)和Driver-NDR元件(驅動元件)的峰值來使其輸出能再High或是Low來實現反閘[INVERTER]；同理我們分別給予第一輸入端(11)和第三輸入端(31)輸入，當一開始的Load-NDR元件(負載元件)的峰值電流大於Driver-NDR 元件(驅動元件)的峰值電流可實現或閘[OR]，若是一開始的Driver-NDR 元件(驅動元件)的峰值電流大於Load-NDR元件(負載元件)

的峰值電流可實現及開[AND]，而第一輸入端(11)和第三輸入端(31)分別給予輸入，若是一開始Driver-NDR元件(驅動元件)的峰值電流大於Load-NDR元件(負載元件)的峰值電流則可實現反或開[NOR]，而一開始Load-NDR元件(負載元件)的峰值電流大於Driver-NDR元件(驅動元件)的峰值電流則可實現反及開[NAND]。

[0024]

	第一輸入端	第二輸入端	第三輸入端	第四輸入端
反開				輸入
及開	輸入		輸入	
或開	輸入		輸入	
反及開		輸入		輸入
反或開		輸入		輸入

表2

再者，請參閱第五圖及附件所示，係為本創作之反開之負載分析圖，一開始Load-NDR元件(負載元件)的峰值電流比Driver-NDR元件(驅動元件)的峰值電流高，此時交點為Q1，所以輸出為High，所以當我們以第四輸入端(41)有輸入時，此時因為第二負微分電阻元件(6)的峰值電流比第一負微分電阻元件(5)的峰值電流高，此時交點為Q2，所以輸出為Low，其中附件係使用H-SPICE軟體及TSMC 0.18  $\mu$ m製程model去模擬。

再者，請參閱第六圖及附件所示，係為本創作之及開之負載分析圖，一開始Driver-NDR元件(驅動元件)的峰值電流與Load-NDR元件(負載元件)的峰值電流的交點在Q1與Q3，因為Driver-NDR元件(驅動元件)的峰值

電流大於Load-NDR元件(負載元件)的峰值電流，所以交點會交在Q1的位置，也就是Low電位，當我們第一輸入端(11)有輸入時，會交於Q2與Q3，因為此時Driver-NDR元件(驅動元件)的峰值電流較大，所以會交於Q2的位置，也就是Low電位，當我們給Vin1和Vin3輸入訊號時，則只會交在Q3的點，也就是High電位，其中附件係使用H-SPICE軟體及TSMC 0.18  $\mu\text{m}$ 製程model去模擬。

再者，請參閱第七圖及附件所示，係為本創作之或開之負載分析圖，一開始Driver-NDR元件(驅動元件)的峰值電流與Load-NDR元件(負載元件)的峰值電流的交點在Q1與Q2，因為Driver-NDR元件(驅動元件)的峰值電流大於Load-NDR元件(負載元件)的峰值電流，所以交點會交在Q1的位置，也就是Low電位，當我們第一輸入端(11)有輸入時，會交於Q1與Q2，因為此時Driver-NDR元件(驅動元件)的峰值電流較大，所以會交於Q2的位置，也就是High電位，當我們給第一輸入端(11)和第三輸入端(31)輸入訊號時，則只會交在Q2的點，也就是High電位，其中附件係使用H-SPICE軟體及TSMC 0.18  $\mu\text{m}$ 製程model去模擬。

再者，請參閱第八圖及附件所示，係為本創作之反及開之負載分析圖，一開始Driver-NDR元件(驅動元件)的峰值電流與Load-NDR元件(負載元件)的峰值電流的交點在Q1與Q3，因為Load-NDR元件(負載元件)的峰值電流大於Driver-NDR元件(驅動元件)的峰值電流，所以交點會交在Q3的位置，也就是High電位，當我們第四輸

入端 (41) 給輸入時，會交於Q1與Q2，因為此時 Load-NDR元件(負載元件)的峰值電流較大，所以會交於Q2的位置，也就是High電位，當我們給第四輸入端 (41) 和第二輸入端 (21) 輸入訊號時，則只會交在Q1的點，也就是Low電位，其中附件係使用H- SPICE軟體及 TSMC 0.18  $\mu\text{m}$  製程model去模擬。

再者，請參閱第九圖及附件所示，係為本創作之反或閘之負載分析圖，一開始Driver-NDR 元件(驅動元件)的峰值電流與Load-NDR元件(負載元件)的峰值電流的交點在Q1與Q2，因為Load-NDR元件(負載元件)的峰值電流大於Driver-NDR 元件(驅動元件)的峰值電流，所以交點會交在Q2的位置，也就是High電位，當我們第四輸入端 (41) 給輸入時，會交於Q1與Q2，因為此時 Driver-NDR 元件(驅動元件)的峰值電流較大，所以會交於Q1的位置，也就是Low電位，當我們給第四輸入端 (41) 和第二輸入端 (21) 輸入訊號時，則只會交在Q1的點，也就是Low電位，其中附件係使用H- SPICE軟體及 TSMC 0.18  $\mu\text{m}$  製程model去模擬。

惟以上所述僅係為本創作之較佳實施例，當不能以此限定本創作實施之範圍，即依本創作申請專利範圍及新型說明內容所作簡單的等效變化與修飾，皆屬本創作專利涵蓋之範圍內。

#### 【圖式簡單說明】

[0025] 第一圖係為本創作之電路圖。

[0026] 第二圖係為本創作第一負微分元件及第二負微分元

件之電路圖。

- [0027] 第三圖係為本創作第二圖之電流-電壓特性曲線圖。
- [0028] 第四A圖係為單穩態-雙穩態傳輸邏輯之電路圖。
- [0029] 第四B圖係為單穩態-雙穩態傳輸邏輯電路之單穩態波形圖。
- [0030] 第四C圖係為單穩態-雙穩態傳輸邏輯電路之雙穩態波形圖。
- [0031] 第五圖係為本創作之反閘之負載分析圖。
- [0032] 第六圖係為本創作之及閘之負載分析圖。
- [0033] 第七圖係為本創作之或閘之負載分析圖。
- [0034] 第八圖係為本創作之反及閘之負載分析圖。
- [0035] 第九圖係為本創作之反或閘之負載分析圖。

【主要元件符號說明】

- [0036] (1) 第一MOS電晶體
- (11) 第一輸入端
- (12) 第一汲極端
- (13) 第一源極端
- (2) 第二MOS電晶體
- (21) 第二輸入端
- (22) 第二汲極端
- (23) 第二源極端
- (3) 第三MOS電晶體
- (31) 第三輸入端



- ( 3 2 ) 第三汲極端
- ( 3 3 ) 第三源極端
- ( 4 ) 第四M O S 電晶體
- ( 4 1 ) 第四輸入端
- ( 4 2 ) 第四汲極端
- ( 4 3 ) 第四源極端
- ( 5 ) 第一負微分電阻元件
- ( 5 1 ) 第一電壓源
- ( 5 2 ) 第一N M O S 電晶體
- ( 5 2 1 ) 閘極端
- ( 5 2 2 ) 汲極端
- ( 5 2 3 ) 源極端
- ( 5 3 ) 第二N M O S 電晶體
- ( 5 3 1 ) 閘極端
- ( 5 3 2 ) 汲極端
- ( 5 3 3 ) 源極端
- ( 5 4 ) 第一B J T 電晶體
- ( 5 4 1 ) 基極端
- ( 5 4 2 ) 集極端
- ( 5 4 3 ) 射極端
- ( 5 5 ) 第一固定電壓源
- ( 6 ) 第二負微分電阻元件
- ( 6 1 ) 第二電壓源
- ( 6 2 ) 第三N M O S 電晶體
- ( 6 2 1 ) 閘極端
- ( 6 2 2 ) 汲極端

- ( 6 2 3 ) 源極端
- ( 6 3 ) 第四 N M O S 電晶體
- ( 6 3 1 ) 閘極端
- ( 6 3 2 ) 汲極端
- ( 6 3 3 ) 源極端
- ( 6 4 ) 第二 B J T 電晶體
- ( 6 4 1 ) 基極端
- ( 6 4 2 ) 集極端
- ( 6 4 3 ) 射極端
- ( 6 5 ) 第二固定電壓源

## 六、申請專利範圍：

1. 一種具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，包含有：

- 一第一MOS電晶體，包含有一第一輸入端、一第一汲極端及一第一源極端；

- 一第二MOS電晶體，包含有一第二輸入端、一第二汲極端及一第二源極端，所述第二汲極端電性連接前述第一源極端；

- 一第三MOS電晶體，包含有一第三輸入端、一第三汲極端及一第三源極端，所述第三汲極端電性連接前述第一汲極端；

- 一第四MOS電晶體，包含有一第四輸入端、一第四汲極端及一第四源極端，所述第四汲極端電性連接前述第三源極端，所述第四源極端電性連接前述第二源極端；

- 一第一負微分電阻元件，一端電性連接前述第一汲極端及前述第三汲極端；

- 一第二負微分電阻元件，一端電性連接前述第二源極端及第四源極端，而所述第二負微分電阻元件另一端係電性連接前述第一負微分電阻元件之另一端；

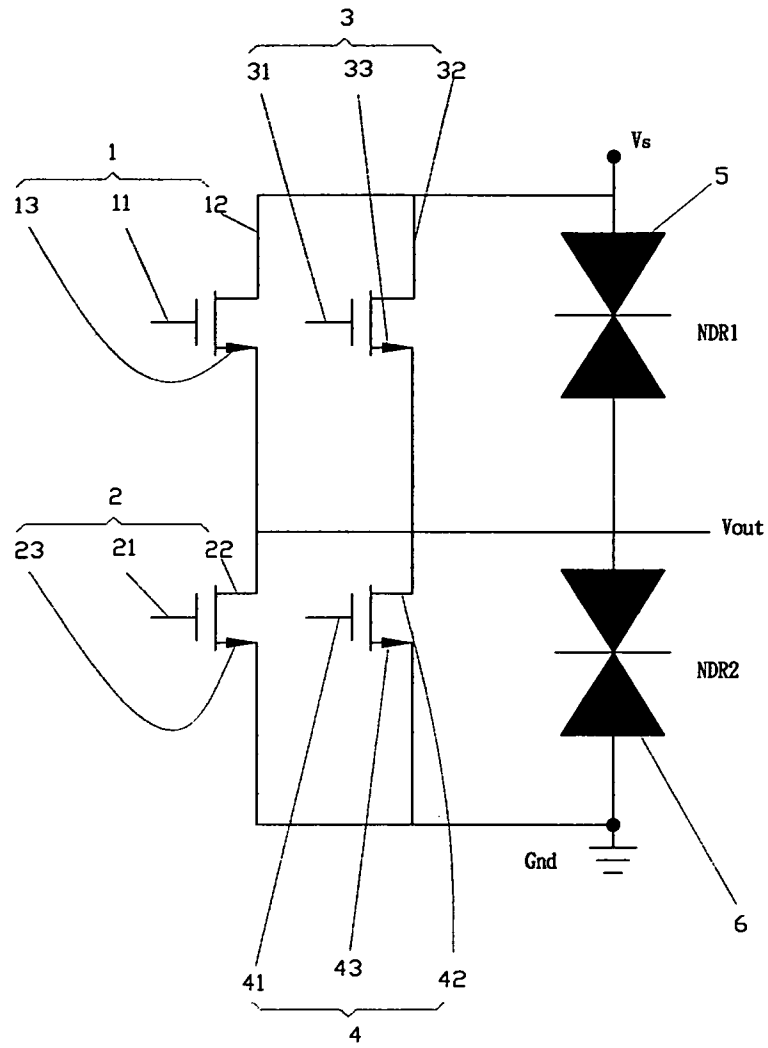
藉由第一輸入端、第二輸入端、第三輸入端及第四輸入端之二輸入電壓狀態，以實現基本邏輯閘電路。

2. 如申請專利範圍第1項所述之具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，其中，所述第一負微分電阻元件包含有一第一電壓源、第一NMOS電晶體、第二NMOS電晶體及一第一BJT電晶體，該第一電壓源一端電性連接該第一NMOS電晶體之一閘極端及一汲極端，該第一NMOS電

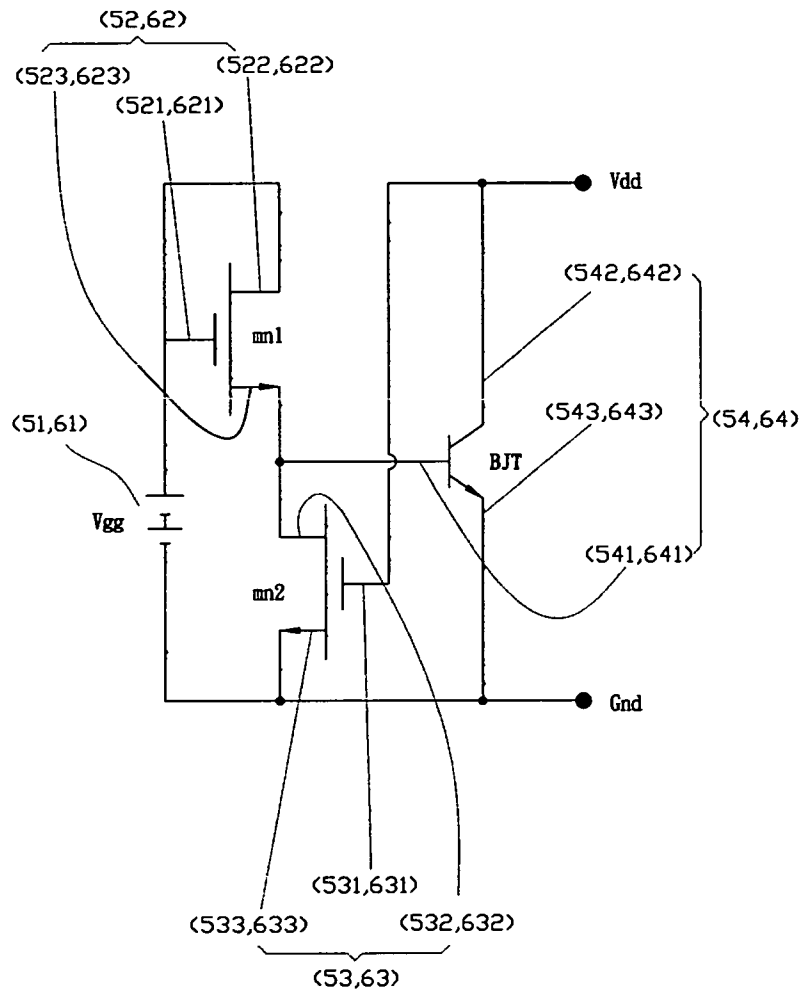
晶體之一源極端電性連接該第二NMOS電晶體之一汲極端及該第一BJT電晶體之一基極端，該第二NMOS電晶體之一閘極端電性連接一第一固定電壓源及該第一BJT電晶體之一集極端，該第二NMOS電晶體之一源極端電性連接該第一電壓源另一端及該第一BJT電晶體之一射極端。

3. 如申請專利範圍第1項所述之具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，其中，所述第二負微分電阻元件包含有一第二電壓源、第三NMOS電晶體、第四NMOS電晶體及一第二BJT電晶體，該第二電壓源一端電性連接該第三NMOS電晶體之一閘極端及一汲極端，該第三NMOS電晶體之一源極端電性連接該第四NMOS電晶體之一汲極端及該第二BJT電晶體之一基極端，該第四NMOS電晶體之一閘極端電性連接一第三電壓源及該第二BJT電晶體之一集極端，該第四NMOS電晶體之一源極端電性連接該第二電壓源另一端及該第二BJT電晶體之一射極端。
4. 如申請專利範圍第1項所述之具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，進一步，所述第一負微分電阻元件及第二負微分電阻元件為 $\lambda$ 型。
5. 如申請專利範圍第4項所述之具MOS-BJT-NDR電路之單穩態-雙穩態二輸入邏輯閘，所述第一負微分電阻元件及第二負微分電阻元件之電流-電壓特性曲線包含有一正電阻區及一負電阻區。

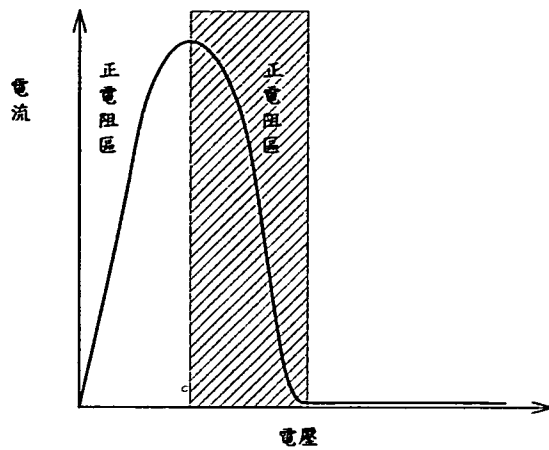
七、圖式：



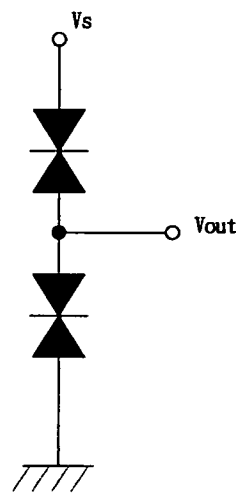
第一圖



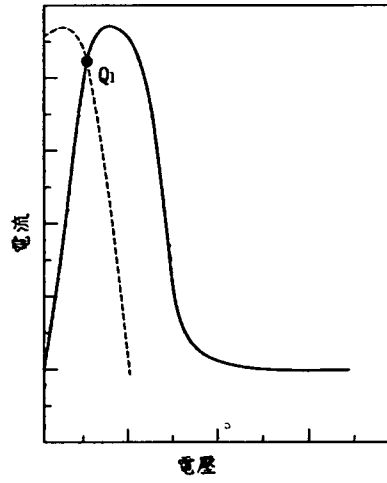
第二圖



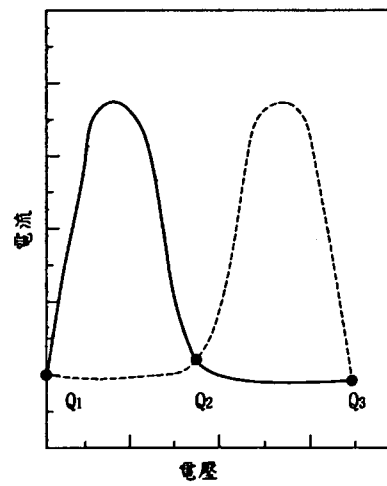
第三圖



第四 A 圖

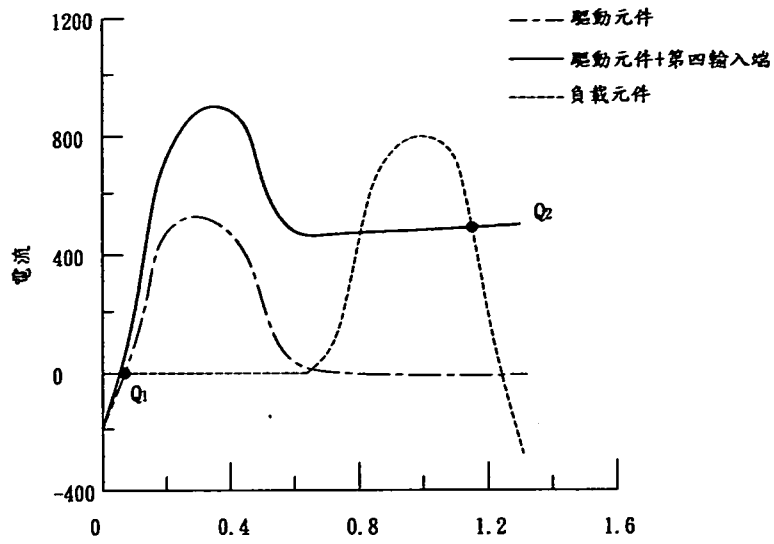


第 四 B 圖

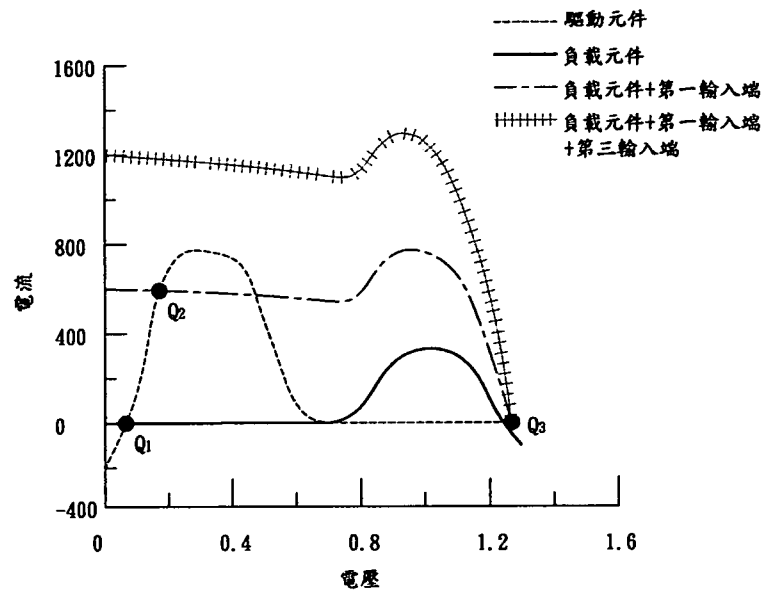


第 四 C 圖

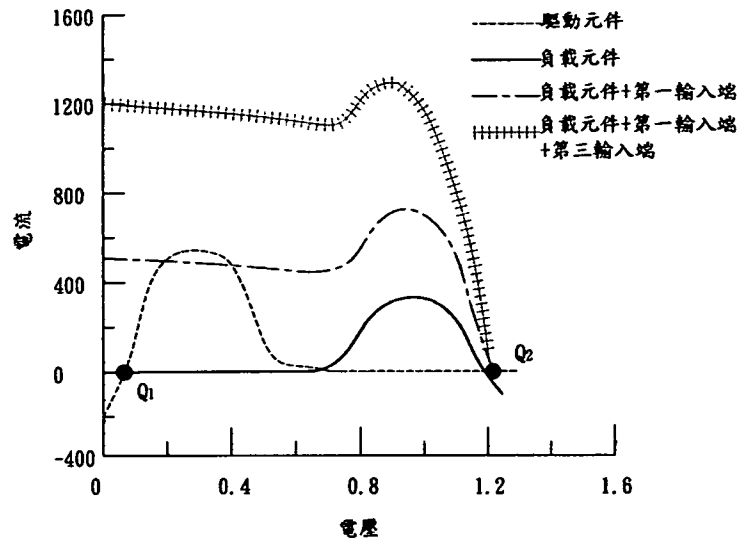




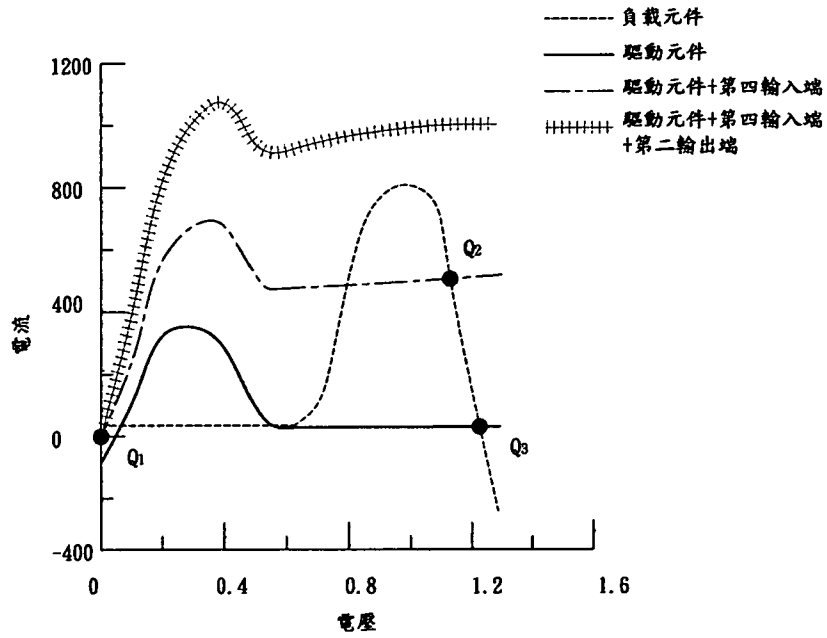
第五圖



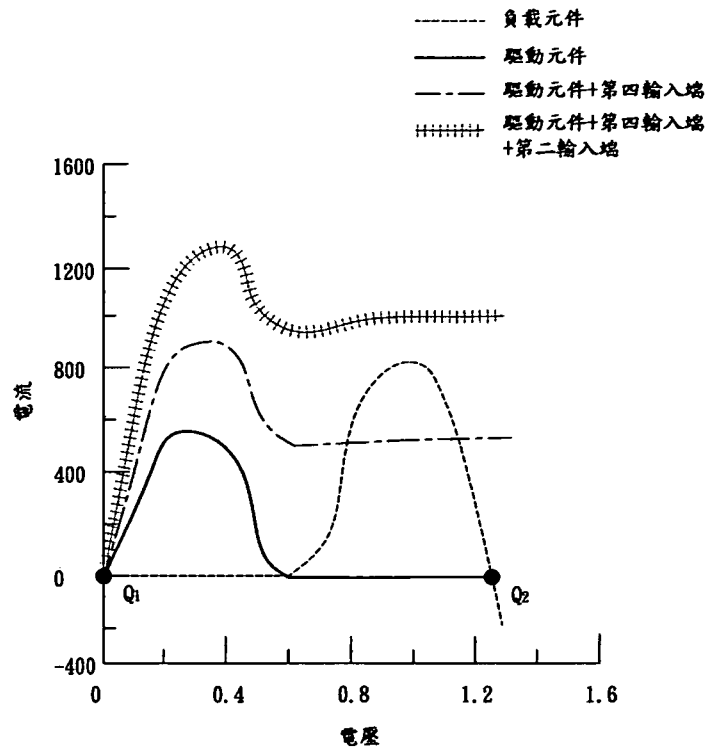
第六圖



第七圖



第八圖



第九圖