

行政院國家科學委員會專題研究計畫 成果報告

無線定位系統與收發機晶片之研製

計畫類別：個別型計畫

計畫編號：NSC94-2213-E-168-016-

執行期間：94年08月01日至95年07月31日

執行單位：崑山科技大學電腦與通訊系

計畫主持人：盧春林

計畫參與人員：成大電機所 魯齊媛

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 10 月 27 日

摘要

本計畫在於使用 TDOA (Time Different of Arrival) 技術測定待測物位置，計畫執行內容則包括使用 FPGA 模擬 TDOA 定位技術所需之發射機與接收機，以及使用 TSMC 0.18um 製程研製定位發射系統相關 RFIC，如高速可程式除頻器，以及高速 Gold Code 產生器等。

計畫已經具體完成的項目主要有：(1) 定位系統之 FPGA 模擬實現，證明 TDOA 定位系統的可行性；(2) 研製並量測完成 1.5 GHz 可程式除頻器晶片，更已經將成果寫成論文，被 CACS2006 接受為口頭發表論文。(3) 通過 cic 審查而已經在製作當中之高速 Gold code 產生器晶片。

關鍵字：無線定位系統、TDOA、RFIC

Abstract

The main goal of this project is to design a wireless position system using TDOA (Time Different of Arrival) technology. The work of this year includes the implementation of TDOA transmitter and receivers on FPGA, and the realization of some RFIC (radio frequency integrated chip) to construct the transmitter of the wireless position system in the future.

The achievements of this project include: (1) The implementation of the transmitter and the receivers for TDOA position on FPGA, it proves that position via TDOA technology is possible. (2) Chip implementation of an 1.5-GHz high-speed programmable divider, it is accepted by CACS2006 as an oral presentation paper. (3) Another chip, High-speed Gold Code Generator, has passed the application procedures and it is fabricated right now in TSMC 0.18um CMOS process.

Key words: RFIC, TDOA, wireless position system

一、前言

定位系統是控制工程的重要研究領域之一，其在工程上與經濟活動上有相當多的應用，例如，自然災害預警系統，老人跌倒之急救(Health-Watch)，孩童上學之追蹤(學童名牌)，院內位置感知及語音通訊(員工識別證)，避免車輛碰撞，遙控抄錶，互動玩具，家庭網路，以及感測網路等等。目前常見的定位方法，有 GPS 系統，以及無線基地台的定位系統等[1-7]。其中，GPS 系統雖可以提供全球、全天候的定位，但由於此一系統採用通視方式進行虛擬距離之訊號量測，故在一些受到遮蔽的地區或者室內，GPS 的應用受到相當大的限制。無線基地台的定位的缺點在於精度不足，一般僅可以定出使用者在某一建築物內，卻無法判定在建築物內之確切位置。

本計畫重點在於使用 TDOA (Time Different of Arrival) 技術測定待測物位置[8,9]，計畫執行內容則包括使用 FPGA 模擬 TDOA 定位技術，使用 TSMC0.18um 製程研製定位發射系統相關晶片，如高速可程式除頻器，以及高速 Gold Code 產生器等。因此，本報告將依序說明 (1) TDOA 定位技術、(2) 定位系統之 FPGA 模擬實現、(3) 1.5 GHz 可程式除頻器晶片的研製、(4) 高速 Gold code 產生器晶片研製等，並在最後說明本計畫執行的結論。

二、TDOA 定位技術簡介

關於無線定位系統，其基本原理可以表示如圖 2.1 所示。也就是由待定位物品 K 發射出特定編碼的無線電信號，並且在待測範圍內的四個角落各放置一個接收器，利用待定位物(發射器)持續發出的特定編碼(Gold Code)，接收器就能夠藉由所謂的 auto correlation 的方式，得知待定位物所發出之信號、到達接收器時所花費的時間(arrival time)；再藉由四個接收器所測得的四個 arrival time 的差(difference)，主控電腦就能夠計算出待測物體的正確位置，這就是所謂的 Time Difference Of Arrival(TDOA)定位原理。利用 TDOA 技術定位，好處就是發射機與接收機方面就不需要同步，但仍需要注意四個接收機的同步問題。有關 TDOA 之發射機與接收機方塊圖，則分別如圖 2.2 與 2.3 所示。

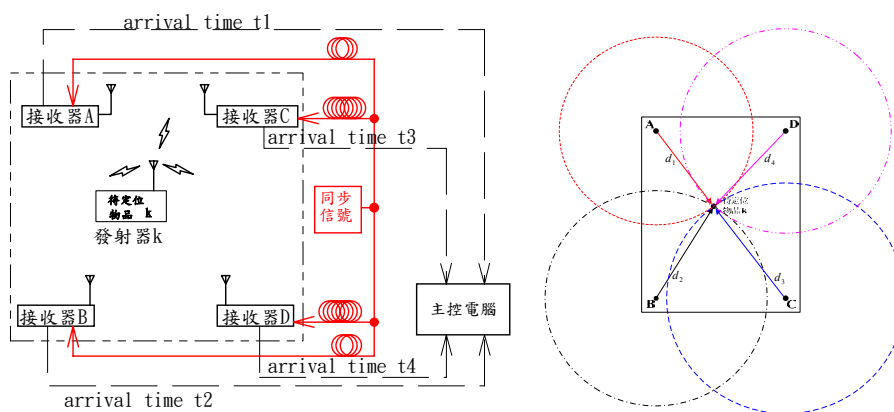


圖 2.1 無線定位系統方塊圖與定位原理

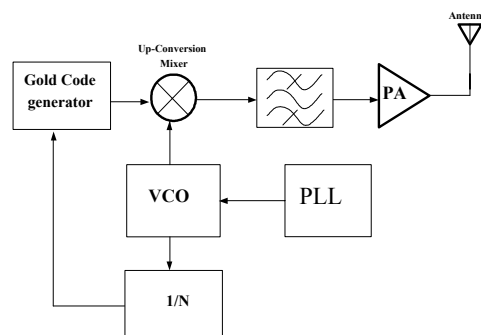


圖 2.2 無線定位系統發射機(待定位物體)方塊圖

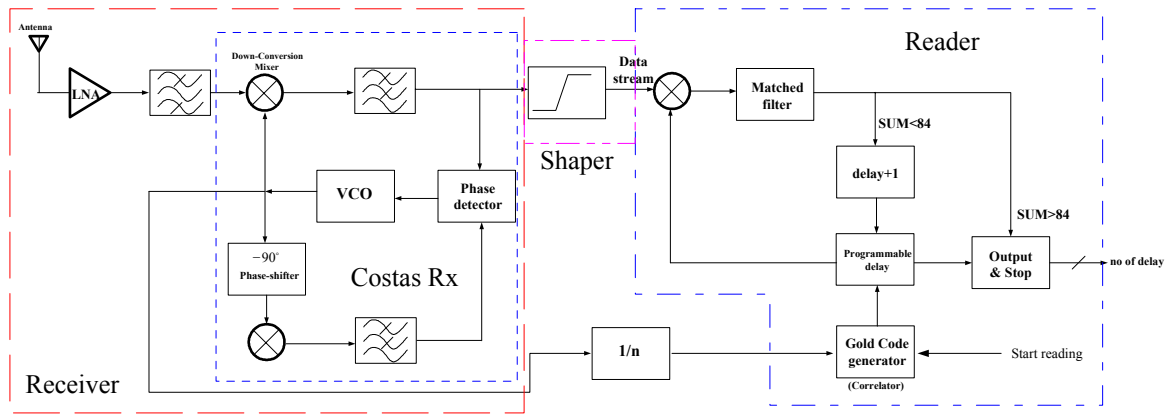


圖 2.3 無線定位系統接收機方塊圖

三、定位系統之 FPGA 模擬實現

不管是無線定位系統的發射機還是接收機，Gold code 都是系統的核心技術，因此，本計畫先使用 FPGA 實現 Gold code 產生器，並且再以兩組 FPGA 模擬定位系統的接收機，以驗證 TDOA 的可行性。在此將分別說明 Gold code 定位原理、以及 FPGA 模擬實現結果。

3.1 Gold code 與 correlation

Gold Code 產生器是由 R. Gold 在 1967 年所發表，如圖 3.1 所示，可以利用兩組相同長度的 LFSR 之 XOR 來產生新的 PN code，則新的 PN code 將具備有很高的 auto correlation 以及很低的 cross correlation，很適合作為全球定位系統（GPS：Global Position System）與分碼多工（CDMA：Code Division Multi-Access）通訊系統當中。

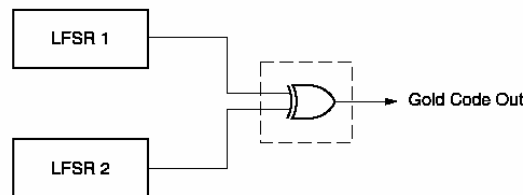


圖 3.1 Gold code generator

這裡所謂的 PN sequences/code 是一看似亂碼、卻是經過特別安排的 0/1 資料串列，其可用來區分不同身分、以及不同時間的編碼，而區分的方法，就是使用 matched filter 比對兩個 PN code 的關聯性（correlation）。

而所謂的自關聯性（auto correlation），係指一函數與其時間位移函數之間的區分能力。例如，若七位元的 PN code(110010)，其六個不同時間位移的 PN code、以及其 auto correlation 可以表示如表 3.1。表中之 sum 為 sequence 和上述 PN code 經 matched filter 比對之後的結果，由表中可以看出，PN code 和本身的關聯值為 7，而和任一個時間位移 PN code 的關聯值都為 -1，因此，其自關聯性極高，很適合做為區分時間的 PN code，也就是很適合用於測量 arrival time，因此，很適合用於定位系統。

表 3.1 PN code (1110010) 之 auto correlation

Sequence	Time shift	match(+1)	unmatch(-1)	sum
1110010	$\Delta t=0$	7	0	7
0111001	$\Delta t=1$	3	4	-1
1011100	$\Delta t=2$	3	4	-1
0101110	$\Delta t=3$	3	4	-1
0010111	$\Delta t=4$	3	4	-1

1001011	$\Delta t=5$	3	4	-1
1100101	$\Delta t=6$	3	4	-1

至於 PN code 的產生方式，常用的方法是「線性回授移位暫存器」(LFSR：Linear Feedback Shift Registers)。其優點是可以產生最多狀態，換句話說，如果 LFSR 使用 n 個位移暫存器，則 LFSR 可以產生 2^n-1 種狀態；例如，n=7 則 LFSR 可以產生 127 種狀態。常用的有 Galois Implementation 與 Fibonacci Implementation，圖 3.2 則是使用 Fibonacci Implementation 所組成的 Gold code generator 範例。[10]

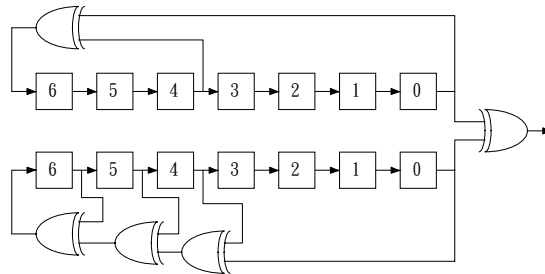


圖 3.2 Gold Code Generator 範例

3.2 FPGA 之模擬實現

如圖 3.3 與圖 3.4 所示，本計畫使用一台 FPGA 模擬實現 Gold code 產生器，只是將速度放慢讓 FPGA 可以跑，並且為了模擬時間差，特別在 Gold code 的四輸出端分別加上不同的 delay。接著，再使用兩台 FPGA，分別接收不同的輸出，結果如圖 3.4 所示，FPGA 確實可以利用 auto-correlation 而顯示出兩個輸出的差別。

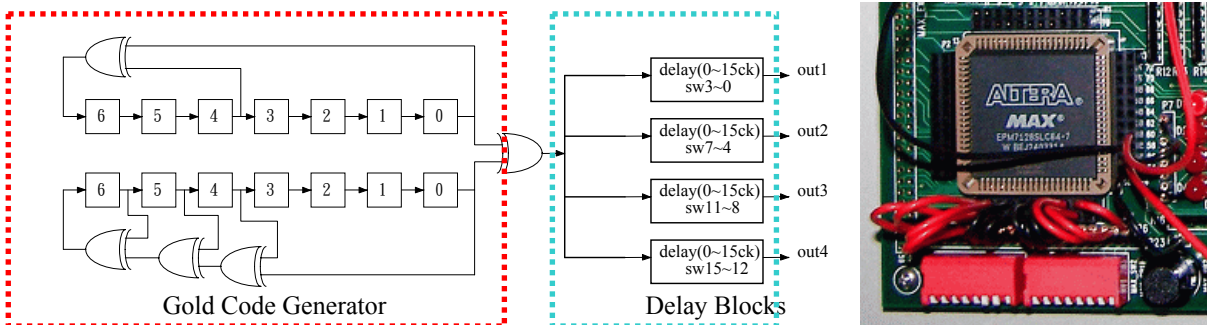


圖 3.3 Gold code generator

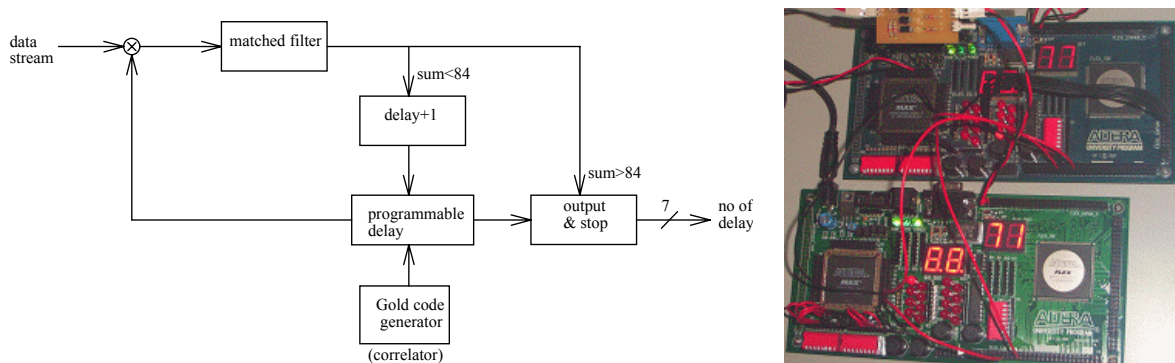


圖 3.4 Gold code Reader

四、1.5 GHz 可程式除頻器晶片之研製

本晶片已經寫成論文，並且已經被 CACS2006 接受，預定 95 年 11 月 10 日上午 9:30 於大會中口頭發表，論文內容如附錄所示。

有關本晶片與無線定位系統的關係如圖 4.1 所示，本專題使用 TSMC 0.18um 1P6M CMOS 製程製作圖中紅色部分，也就是可程式除頻器。晶片的主要架構是參考 2005 年 3 月 MWCL 的一篇論文[11]，使用動態 CMOS 反相器（inverter）與傳輸閘（transmission gate）來達成操作在輸入頻率為 1.5 GHz 且輸出信號為 750~15 MHz 的 CMOS 除頻器，並且可選擇除 2、4、6、8、10、12、16、20、24、32、36、40、48、60、64、80、100 等。今依照設計原理、量測結果與討論等部分說明如下：

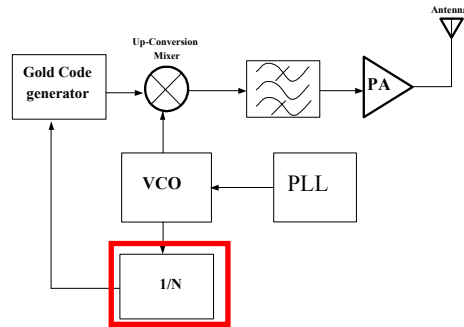


圖 4.1 無線定位發射機之可變除頻器

4.1 設計原理

本晶片之架構方塊圖如圖 4.2 所示，利用兩個除十電路和兩個前置放大器來實現，其中，兩個前置放大器、preamp1 和 preamp2 主要在於提供足夠大的電流來驅動後面的除十電路，其電路如圖 4.3 所示；至於由反相器與傳輸閘組成的除十電路則如圖 4.4 所示，圖中下方的選擇點可選擇除 2、4、6、8、或 10，其主要原理是改變信號的「旅行路程」，經過的級數越多則輸出越慢，除數就越大。圖 4.5 為晶片佈局圖、晶片之顯微照片與量測之印刷電路板圖，其中，晶片大小為 0.68mmx0.85mm，消耗功率在 1.8V 時為 27mW。

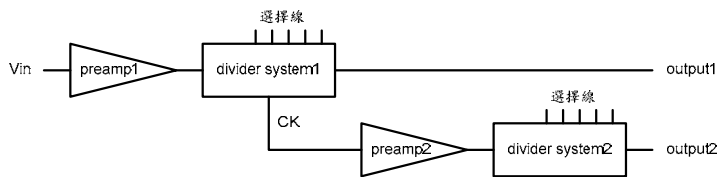


圖 4.2 可變除頻器之架構方塊圖

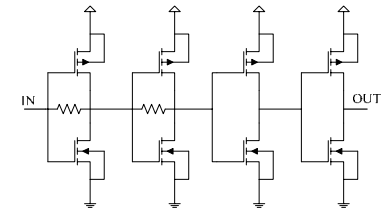


圖 4.3 前置放大器電路圖

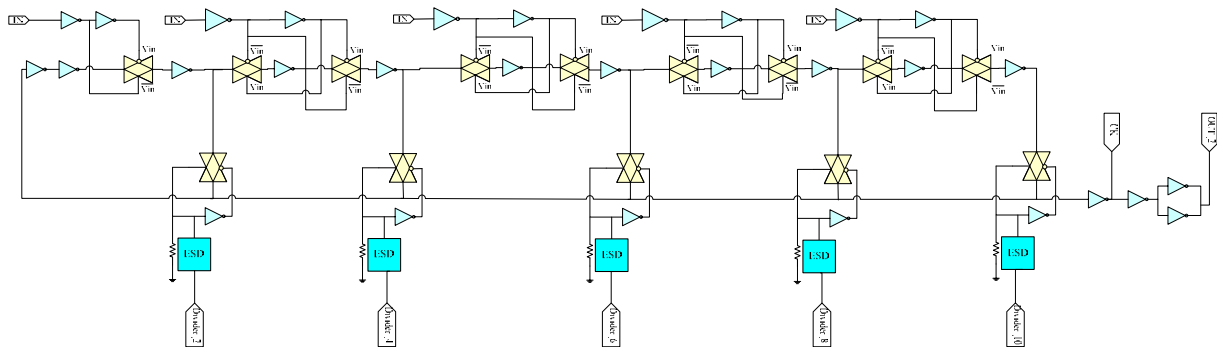


圖 4.4 可程式除十電路圖

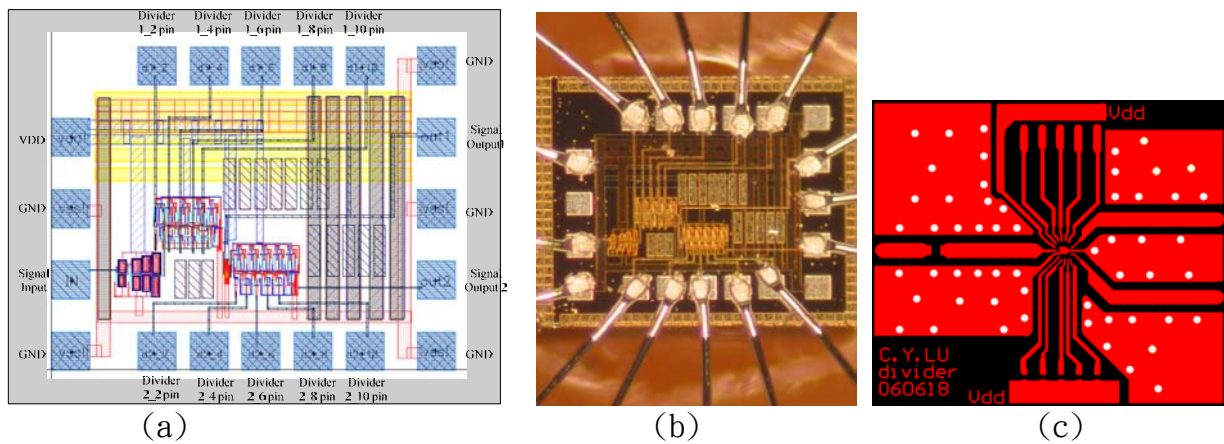


圖 4.5 可程式除頻器之(a)佈局圖 (b)顯微照片 (c)測試 PCB

4.2 量測結果與討論

在量測結果方面，圖 4.6 (a) 顯示晶片在輸入頻率為 1.5 GHz 且輸入振幅為 32mV 的正弦波，而晶片的兩組除法器都選擇在除十的位置，也就是總共除以 100 時，晶片的輸出波形，其測得頻率為 15.0258MHz，可見晶片動作正確；其中，顯示頻率的尾數則係示波器取樣間隔的關係。至於圖中顯示出波形的上升與下降時間偏慢，則是由示波器測試棒的平衡電容所引起，實際應用於 TDOA 定位系統時不會有此效應。

而為了進一步驗證晶片除頻的正確性，圖 4.6 (b) 改用頻譜儀顯示晶片的輸出信號，此時的輸入信號頻率改為 1.000 GHz、振幅仍為 32mV，且晶片仍然選擇在兩組都是除以 10、也就是總共除以 100 的情況下。由輸出頻率準確的落在 10.000000MHz 可見晶片動作正常。

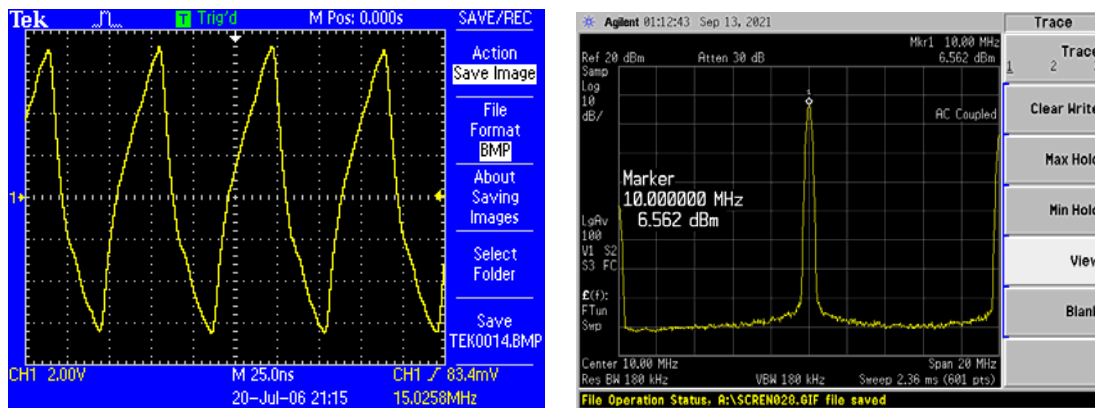


圖 4.6 可程式除頻器之(a) 15 MHz 輸出波形 (b) 10 MHz 輸出頻譜

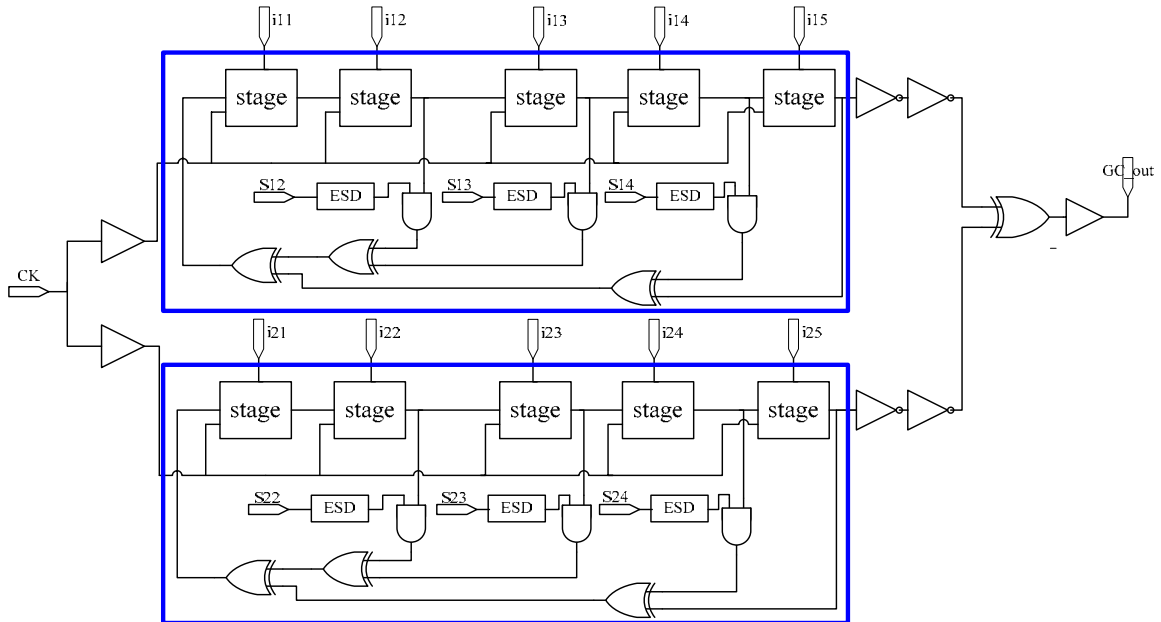
在結果討論方面，本晶片係透過國家晶片中心申請而由台積電 (TSMC) 使用 0.18 um 1P6M CMOS 製程所製作的可程式除頻器。晶片主要由兩個除以 2、4、6、8、10 的除頻器串接而成，因此而可將晶片選擇在除以 2、4、6、8、10、12、16、20、24、32、36、40、48、60、64、80、100 等。不過，實際量測時發現除以 2 的電路實際上無法反應到 1 GHz，因此只能在第一組降頻之後，第二組才能反應，也因此實際量測到的除數就只有 4、6、8、10、12、16、20、24、32、36、40、48、60、64、80、100 等。

五、高速 Gold Code 產生器晶片之研製

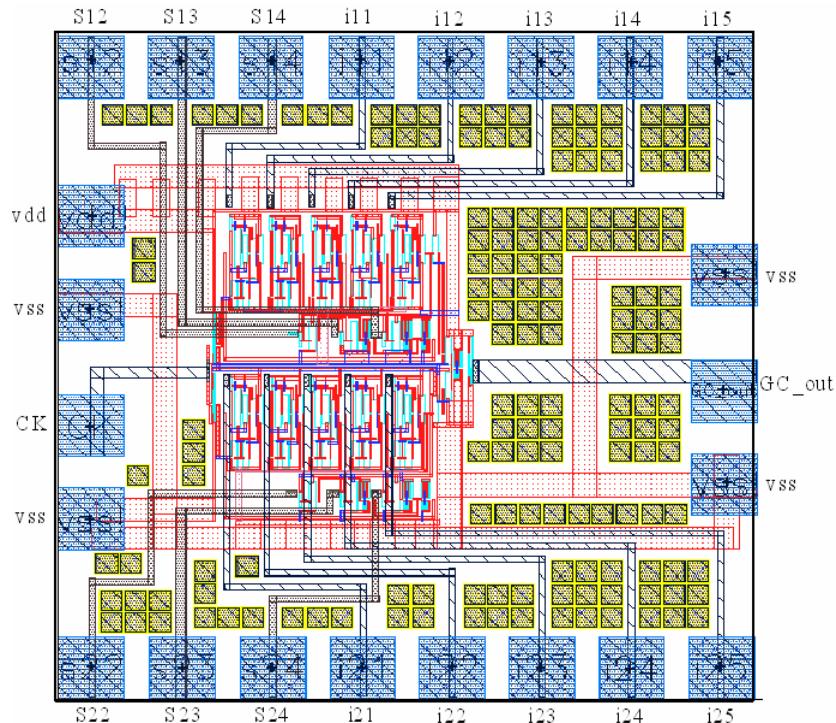
由於不管是無線定位系統的發射機還是接收機，Gold code 都是系統的核心技術，因此，本計畫使用 TSMC0.18um 1P6M CMOS 製程研製 Gold code 產生器晶片，今分為設計原理與模擬結果兩大部分說明如下：

5.1 設計原理

如圖 5.1 (a) 所示，本晶片為 5 級的 Gold code 產生器，也就是使用兩個 5 級的「線性回授移位暫存器」(LFSR：Linear Feedback Shift Registers) 做 XOR 後形成 Gold code 產生器。其中，每個 LFSR 的第五級一定要迴授，第 2、3、4 級則可以被選為迴授或不迴授，也就是經由圖中之 S12~S14、以及 S22~S24 來選擇；此外，每一級的初始狀態都可以獨立設定，也就是由圖中的 i11~i15、以及 i21~i25 來輸入。設計完成的晶片佈局如圖 5.1 (b) 所示，晶片將使用台積電 TSMC0.18um 1P6M CMOS 製程製作，晶片面積為 0.85mm x 0.86mm，晶片目前已經在 TSMC 製作當中。



(a)



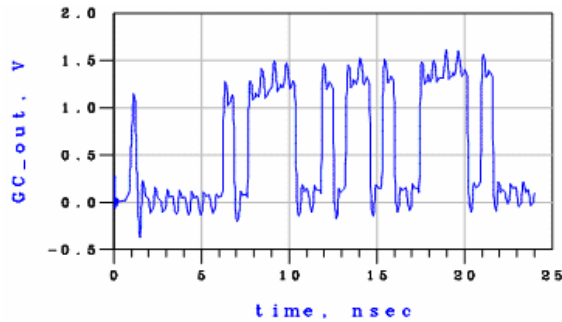
(b)

圖 5.1 高速 Gold code 產生器之 (a) 晶片架構方塊圖 (b) 佈局圖

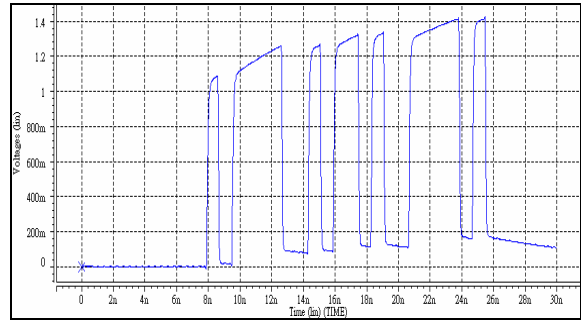
5.2 模擬結果

晶片使用 ADS 及 HSPICE 模擬，也做重複做 pre-simulation 和 post-simulation，更包含

了製程的 corner case (TT、SS、FF、FS、SF)、溫度變異、以及電壓變異等。今謹列出 ADS 的 TT 的模擬結果，如圖 5.2 (a) 所示，以及 HSPICE 的 pre-simulation 以及 post-simulation 之 TT@1GHz 模擬結果，如圖 5.2 (b) 及 (c) 所示。



(a) ADS pre-simulation



(b) HSPICE post-simulation

圖 5.2 (a) ADS 模擬 TT@1.5 GHz (b) HSPICE 模擬 TT@1.5 GHz

六、結論

雖然本計畫核准時只剩一個助理，但計畫相關人員仍盡力完成了無線定位系統收發機的 FPGA 模擬實現，也完成了 1.5 GHz 可程式除頻器晶片的研製，更通過了高速 Gold code 產生器晶片的製作申請，成果相當具體，在此要感謝國科會提供經費補助，以及國家晶片中心 (cic) 提供製程的協助。

而上述成果當中，1.5 GHz 可程式除頻器晶片的研製已經量測完畢，並且也已經寫成論文，目前已經被 CACS2006 接受為口頭發表；另外，計畫衍生出來的其他成果，如「高陡峭陷波濾波器之研製」、「可改善數位電視接收棒訊號品質之迷你低雜訊放大器的研製」等，也將陸續在今年的全國電信研討會 (NST2006) 中口頭或壁報發表，成果已經獲得具體肯定。

由於今年度急需一台工作站作為晶片設計之用，因此，今年的設備費變更為購買 Sun Blade 150 工作站，原計畫預定購買的示波器預定使用明年度的經費採購。而明年度的計畫也有幸獲准補助，因此將朝向完成發射機晶片的目標繼續努力。

七、參考文獻

1. Nagaosa, T.; Kobayashi, Y.; Mori, K.; Kobayashi, H.; "An advanced CSMA inter-vehicle communication system using packet transmission timing decided by the vehicle position," *2004 IEEE Intelligent Vehicles Symposium*, June 2004, pp.111 – 114.
2. Hohman, D.; Murdock, T.; Westerfield, E.; Hattox, T.; Kusterer, T., "GPS roadside integrated precision positioning system," *IEEE 2000 Position Location and Navigation Symposium*, March 2000, pp.221 – 230.
3. Fenk, J., "RF-trends in mobile communication," *2003 ESSCIRC '03 Conference on European Solid-State Circuits*, Sept. 2003, pp.21 – 27.
4. Fisch, W.; Chtchekatourov, V.; Russer, P., "Transmitter position estimation methods demonstrated on a GPS-SDMA-system," *International Conference on ,Microwaves, Radar and Wireless Communications* , Vol:2, May 2000, pp.443 – 446.
5. Lueftner, T.; Kroepl, C.; Huemer, M.; Hausner, J.; Hagelauer, R.; Weigel, R. "Edge-position modulation for high-speed wireless infrared communications, " *IEE Proceedings, Optoelectronics*, Vol:150, Issue: 5 , 17 Oct. 2003, pp.427 – 437.
6. Bohenek, B.J.; Ruff, D.A.; Raquet, J.F., "High rate time-space-position-information for high dynamic GPS integrated navigation systems, " *IEEE 1996, Position Location and Navigation Symposium*, April 1996, pp.56 – 62.
7. Otte, R.; De Jong, L.P.; Van Roermund, A.H.M., "Slot synchronization by reducing the PPM pulsewidth in wireless optical systems, " *IEEE Transactions on, Circuits and Systems II:*

- Analog and Digital Signal Processing*, Vol:45, Issue: 7, July 1998, pp.901 – 903.
8. 夏銘聰，林福林，”TDOA 超寬頻定位系統之模擬與分析”，全國電信研討會, 2004.
 9. Z.Xu and P.Shi “TDOA estimation algorithm for cyclostationary signals in multipath environments”, *Electronics Letters* 6th, March 2003.
 10. "Gold Code Generators in Virtex Devices v1.1 (01/01)", <http://direct.xilinx.com/bvdocs/appnotes/xapp217.pdf>
 11. C. E. Saavedra, “A Microwave Frequency Divider Using an Inverter Ring and Transmission Gates,” *IEEE Microwave and Wireless Components Letters*, Vol.15, no.5, pp330-332, May 2005.

計畫成果自評

本計畫執行之具體成果，除了使用FPGA驗證TODA作為定位系統的可行性之外，更具體的研製出兩個RFIC，分別是（1）1.5 GHz可程式除頻器、與（2）高速Gold code產生器。其中，1.5 GHz可程式除頻器晶片更已經完成量測，並且已經撰寫成論文，也已經被CACS2006接收為口頭報告論文，如附錄所示。而高速Gold code產生器也已經通過cic的審查，目前已經在台積電（TSMC）的0.18um 1P6M CMOS製程製作當中，預計很快就可以拿到晶片，開始量測。此外，計畫執行過程當中，除了RFIC製作之外，也製作了一些射頻電路的系統整合，如「高陡峭陷波濾波器之研製」、「可改善數位電視接收棒訊號品質之迷你低雜訊放大器的研製」等，也將在今年的全國電信研討會（NST2006）中口頭發表。

綜合言之，本計畫名稱為「無線定位系統與收發機晶片之研製」，成果方面至少包括三篇研討會論文，兩個無線定位系統相關RFIC成品，兩個射頻系統整合電路成品，執行進度已經達成、甚至超越原計畫的預期目標。

可供推廣之研發成果資料表

 可申請專利 可技術移轉

日期：95年10月27日

國科會補助計畫	計畫名稱：無線定位系統與收發機晶片之研製 計畫主持人：盧春林 計畫編號：NSC94-2213-E-168-016 學門領域：系統整合與工業應用
技術/創作名稱	1.5 GHz 可程式除頻器
發明人/創作人	魯齊媛
技術說明	<p>中文：</p> <p>本專題使用 TSMC 0.18um 1P6M CMOS 製程製作可程式除頻器，晶片的主要架構是參考 2005 年 3 月 MWCL 的一篇論文，使用動態 CMOS 反相器 (inverter) 與傳輸閘 (transmission gate) 來達成操作在輸入頻率為 1.5 GHz 且輸出信號為 750~15 MHz 的 CMOS 除頻器，並且可選擇除 2、4、6、8、10、12、16、20、24、32、36、40、48、60、64、80、100 等。</p> <p>英文：</p>
可利用之產業 及 可開發之產品	
技術特點	
推廣及運用的價值	由於本晶片只是無線定位發射機的一小部分，尚未達到實用價值。

- ※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。
- ※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
- ※ 3. 本表若不敷使用，請自行影印使用。

Chip Implementation of an 1.5-GHz High-Speed Programmable Divider

Chun-Lin Lu

Department of Computer and Communication

Kun Shan University

Tainan, Taiwan, R. O. C.

e-mail: cllu@mail.ksu.edu.tw

Jyh-Ching Juang and Chi-Yuan Lu

Department of Electrical Engineering,

National Cheng Kung University

Tainan, Taiwan, R. O. C.

e-mail: lynne-lala@yahoo.com.tw

Abstract—This paper describes the chip implementation of a high-speed programmable divider using TSMC 0.18 μ m CMOS technology. The divider mainly consists of two rings of transmission gates and inverters. The measurement shows that the chip can work up to 1.5 GHz with the input signal level of 32mV. The programmable divisors are designed to have 14 selections from 4 to 100. The chip size is 0.68x0.85 mm² and the power consumption is 27mW@1.8V.

Keywords —chip implementation, high-speed divider, transmission gate.

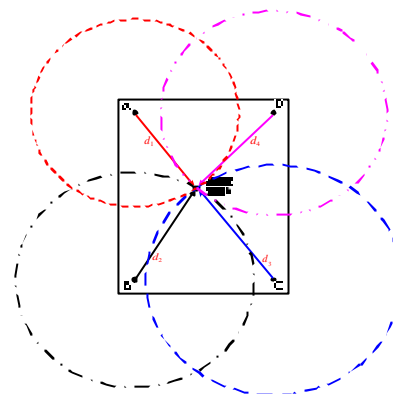
I. INTRODUCTION

This work is a part of the project no. NSC 94-2213-E-168-016. The goal of the project is to design the transmitter chips for wireless position system. The proposed TDOA (Time Difference of Arrival) wireless position system of the project is shown in Fig. 1(a). There are four receivers located at the four corners of the position area. Each of them can calculate the arrival time-delay of the radio-frequency signal that is transmitted by the transmitter of the DUT (device under test). Then the system will locate the position of the DUT via the difference of the above four delay-times.

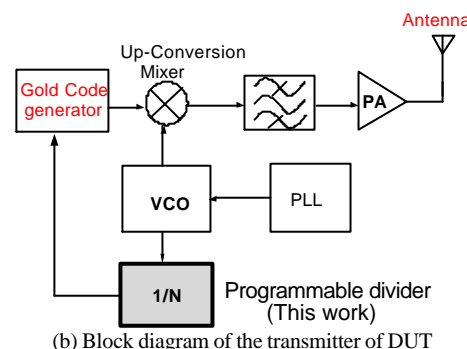
The calculating of arrival-time delay is accomplished by using the algorithm of so call auto-correlation of Gold-code [1]. Hence the bit number of Gold-code decides the ratio of the position range and resolution. If the bit number of Gold-code is fixed, then higher frequency of the clock source will raise the resolution but shorten the measurement range of the position system. On the other words, a programmable divider is necessary if the user wants to trade-off between the position range and resolution. This is the reason why a programmable divider is included in the transmitter of DUT as shown in Fig. 1(b).

There are many kinds of high-speed dividers. Some of them are the analog divider that can work even in millimeter-wave range by the principle of regenerative feedback and injection locking [2,3], but they are almost impossible to be programmable. The others are digital dividers and the most popular configuration of them is composed of D-latches [4,5]. The TSPC (true single phase clocking) digital divider is famous for its high-speed operation but can't work in low frequency [6,7]. Hence this work modifies the divider that consists of the inverter-ring and transmission-gates [7] to be

programmable to satisfy the needs of operating under both high-speed and low-speed for the applications of wireless position.



(a) Outline of TDOA wireless position system



(b) Block diagram of the transmitter of DUT

Fig. 1 The TDOA wireless position system

II. CIRCUIT DESIGN

As shown in Fig. 2, the block diagram of the proposed chip is composed of a pre-amplifier and two programmable dividers. Both divisors of them can be selected to be 4, 6, 8, and 10. Hence the output of divider_1 could be divided-by 4, 6, 8, and 10. And the output of divider_2 could be divided-by 16, 24, 32, 36, 40, 48, 60, 80, and 100. Each block of the chip can be described as the followings:

A. Pre-amplifier

Refer to Fig. 3, the pre-amplifier is composed of four pairs of CMOS with the first two stages are biased at the center of the DC supply voltage by the feedback resistors.

This configuration of bias makes those two stages to operate under active region to offer the maximum gain. The main work of the pre-amplifier is to convert the input sinusoid clock-source to near square-wave that locates only at DC supply voltage and ground states via very high-gain amplification. The output of the pre-amplifier is connected to the clock of the following two dividers.

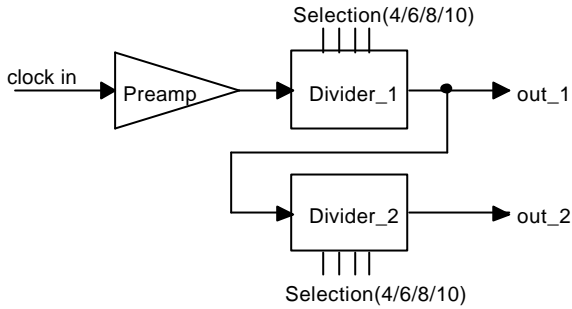


Fig. 2 Block diagram of the implemented high-speed divider

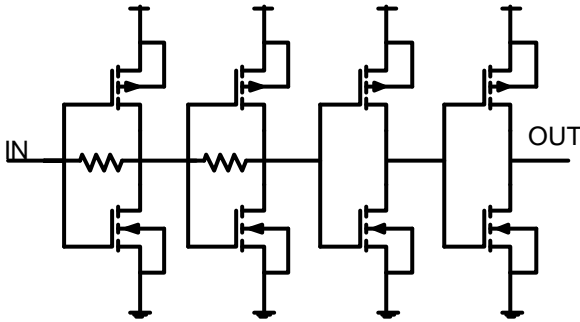


Fig. 3 The schematic of the pre-amplifier

B. The divider

Fig. 4 shows the schematic of each divider. It consists of a ring of inverters and transmission-gates that can be divided roughly into five stages with two inverters and two transmission-gates in each stage except the first stage including three inverters. The selectors S4-S10 are designed to be active high and they will control the feedback path of the divided-by 4, 6, 8, and 10 individually. The necessary condition to make the divider-ring working normally is including odd number of inverters in the ring. Therefore the initial state (0 or 1) can be inverted to the toggle state after a complete trip around the ring. This circumstance makes the ring output a lower frequency square wave with 50% duty-cycle.

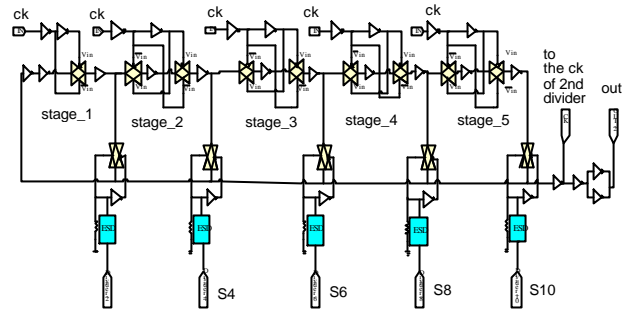


Fig. 4 The schematic of the divider

Here must be noticed that in Fig. 4 the transmission gates between the inverters in each stage must act in different phase to avoid data feed through. Finally the output of the divider₁ includes a path to the clocks of the second divider, and a path that is well buffered to offer enough driving ability for the applications outside the chip. And of course the second divider is only connected to the path that is well buffered.

III. MEASUREMENT

Fig. 5 shows the layout of the chip designed for the fabrication in TSMC 0.18-um 1P6M CMOS process. Fig. 6 shows the microphotograph of the implemented chip. The chip size is 0.68mmx0.85mm. The chip is wire-bonded to a FR-4 PCB as shown in Fig. 7 for measurement purpose.

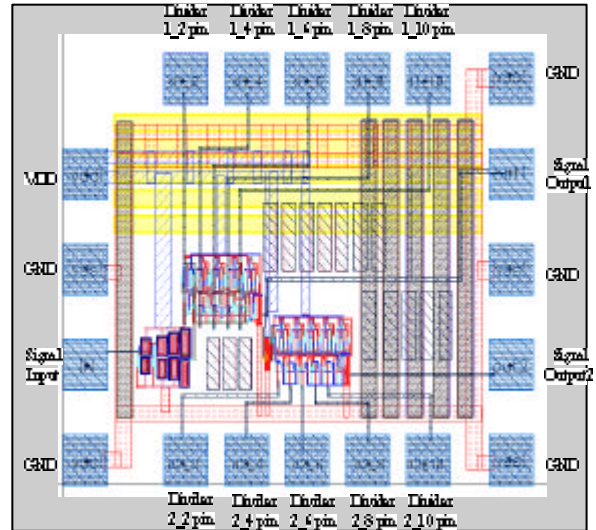


Fig. 5 The layout of the chip

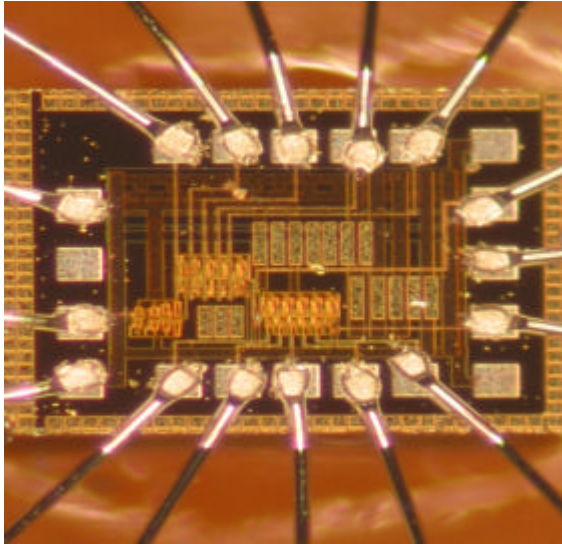


Fig. 6 The microphotograph of the wire-bonded chip

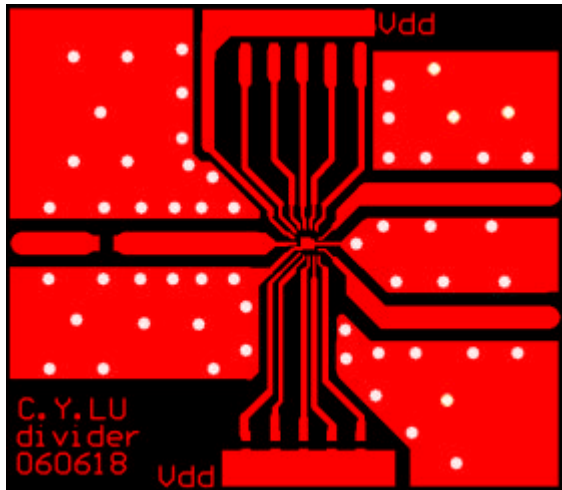


Fig. 7 The layout of the FR-4 PCB for the chip measurement

Two measurements are listed in the followings. Fig. 8 shows the oscilloscope waveform of the divider out₂ with both divisors selected at 10 to make the chip divided-by 100 in total. The power supply is 1.8V and the consumption current is 30mA. The input signal is sinusoid wave with 1.5GHz in frequency and 32mV in amplitude. The frequency of the output waveform is measured to be 15.0258MHz means the tested chip working well. The output waveform also shows the rise-time and the fall-time being relatively slow. This is the capacitive loading effect of the test probe.

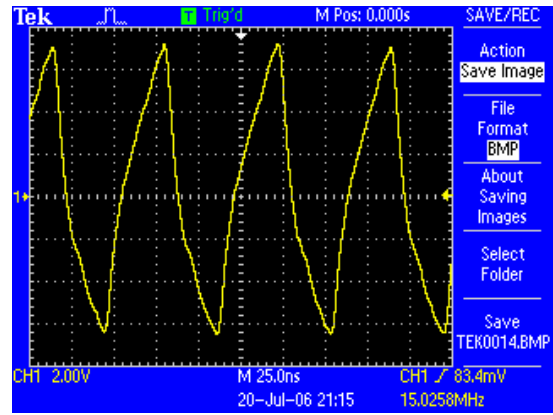


Fig. 8 The out₂ waveform of the chip with input frequency of 1.5GHz and divided-by 100 in total

Fig. 9 shows the signal spectrum of the out₂ with input frequency of 1GHz and divided-by 100 again. The fundamental of the spectrum is exactly at 10MHz verifies both dividers in the implemented chip are operating exactly at divided-by 10. The high-order harmonics of the spectrum means the output signal is not a pure sinusoid wave but it does not a matter in this application.

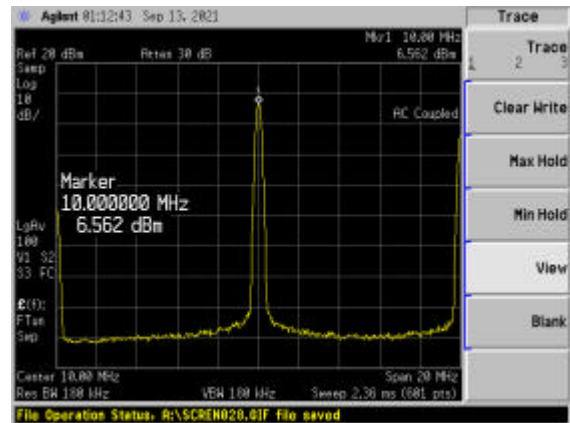


Fig. 9 The out₂ spectrum of the chip with input frequency of 1GHz and divided-by 100 in total

IV. CONCLUSION

In this work, a programmable high-speed divider with two rings of inverters and transmission gates inside is implemented and tested. The measurement is taken under the input frequency of 1-1.5 GHz with a signal-strength of 32mV and the divisors are changed from 4-10 respectively to get 14 combinations. The output of chip is checked not only by the oscilloscope but also by the spectrum analyzer. The chip is tested under DC power supply of 1.8V and the power consumption of the chip is around 27mW.

The original design of the divisors inside the chip of each divider is 2, 4, 6, 8, and 10 individually to compose 17 divisors in total as 2, 4, 6, 8, 10 in out₁ and 12, 16, 20, 24, 32, 36, 40, 48, 60, 64, 80, 100 in out₂. The

measurement shows that the loop of divided-by 2 of each divider in the chip is too slow to response even under the low input frequency as 1GHz. The future work can focus on this problem to widen the programmable range.

ACKNOWLEDGMENT

This work was supported by the National Science Council, Taiwan, ROC, under Grant NSC 94-2213-E-168-016. The authors would like to thank the Chip Implementation Center (CIC) of the National Science Council, Taiwan, ROC, for supporting the TSMC CMOS process.

REFERENCES

- [1] "Gold Code Generators in Virtex Devices v1.1 (01/01)," <http://direct.xilinx.com/bvdocs/appnotes/xapp217.pdf>
- [2] H. Knapp et al., "A 79GHz dynamic frequency divider in SiGe bipolar technology," in *Proc. IEEE int. Solid-State Circuit Conf.*, pp.208-209, Feb. 2000.
- [3] B. Razavi, K. F. Lee, and R. H. Yan, "A 13.4-GHz CMOS frequency divider," in *Proc. IEEE Int. Solid-State Circuits Conf.*, pp.176-177, Feb. 1994.
- [4] C. S. Vaucher and M. Apostolidou, "A low-power 20 GHz static frequency divider with programmable input sensitivity," in *Proc. IEEE Radio Frequency Integrated Circuits Symp*, Seattle, WA, pp. 235-238, Jun. 2002.
- [5] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique," *IEEE J. Solid-State Circuits*, Vol. 24, pp.62-70, Feb. 1989.
- [6] J. Yuan and C. Svensson, "New TSPC latches and flipflops minimizing delay and power," in *Digest of Technical Papers of 1996 Symposium on VLSI Circuits*, pp. 160-161, June 1996.
- [7] C. E. Saavedra, "A Microwave Frequency Divider Using an Inverter Ring and Transmission Gates," *IEEE Microwave and Wireless Components Letters*, Vol.15, no.5, pp330-332, May 2005.