

崑山科技大學

電機工程系

場規劃邏輯閘型電路於 不斷電系統之市電鎖相迴路應用

指導老師：白富升 老師

製作學生：黃彥彰 4900J180

王耀輝 4900J028

曹維振 4900J056

蘇裕傑 4900J067

彭國豪 4900J083

中華民國九十三年十一月

目錄

目錄.....	I
表目錄.....	III
圖目錄.....	IV
第一章 緒論.....	1
1-1 研究背景與動機.....	1
1-2 鎖相迴路在不斷電系統之應用.....	5
1-3 專題報告大綱.....	8
第二章 鎖相迴路電路架構.....	9
2-1 鎖相迴路原理.....	9
2-2 鎖相迴路 PLL 種類.....	10
2-2.1 線性鎖相迴路.....	11
2-2.2 數位鎖相迴路.....	12
2-2.3 全數位鎖相迴路.....	13
2-2.4 軟體式鎖相迴路.....	15
第三章 規劃邏輯閘介紹.....	16
3-1 背景.....	16
3-2 FPGA 的結構.....	16
3-3 FPGA 型電路.....	17

第四章 系統模擬與驗證	24
4-1 前言	24
4-2 除頻器模擬與驗證	25
4-3 正弦波模擬與驗證	26
4-4 三角波模擬與驗證	28
4-5 比較器產生 PWM 輸出模擬與驗證	29
4-6 外部電路證	31
4-6.1 零點偵測模擬驗證	31
4-6.2 低通濾波器模擬驗證	32
第五章 結論與未來發展方向	37
5-1 結論	37
5-2 未來發展方向	37
參考文獻	38

表目錄

表 1-1	靜態式不斷電系統之各種架構功能比較.....	5
表 4-1	除頻器邏輯閘數目表.....	26
表 4-2	正弦波邏輯閘數目表.....	27
表 4-3	三角波邏輯閘數目表.....	29
表 4-4	比較器產生 PWM 輸出邏輯閘數目表.....	30

圖目錄

圖 1-1	在線型不斷線系統之整體架構.....	2
圖 1-2	離線型不斷電系統之整體架構.....	3
圖 1-3	電源互動型不斷電系統整體架構圖.....	4
圖 1-4	傳統的鎖向迴路方塊.....	7
圖 2-1	鎖相迴路電路基本架構.....	11
圖 2-2	數位鎖相迴路基本架構.....	13
圖 2-3	模擬 LPLL 的 SPLL 電路架構.....	15
圖 2-4	模擬 DPLL 的 SPLL 電路架構.....	15
圖 3-1	FPGA 與 ASIC 製造比較流程圖.....	18
圖 4-1	除頻器模擬驗證圖.....	25
圖 4-2	除頻器內部繞線圖.....	25
圖 4-3	正弦波模擬驗證圖.....	27
圖 4-4	正弦波內部繞線圖.....	27
圖 4-5	三角波模擬驗證圖.....	28
圖 4-6	三角波內部繞線圖.....	28
圖 4-7	PWM 輸出模擬驗證圖.....	29
圖 4-8	PWM 輸出內部繞線圖.....	30
圖 4-9	零點偵測電路圖.....	31

圖 4-10	零點偵測元件	31
圖 4-11	零點電路輸出輸入波形	32
圖 4-12	低通濾波器電路圖	32
圖 4-13	低通濾波器輸出模擬波形圖	33
圖 4-14	低通濾波器電路元件	33
圖 4-15	25HZ 輸出波形圖件	34
圖 4-16	50HZ 輸出波形圖	35
圖 4-17	60HZ 輸出波形圖	35
圖 4-18	180HZ 輸出波形圖	36
圖 4-19	1kHz 輸出波形圖	36

摘要

鎖相迴路在不斷電系統領域中，係為保持其換流器輸出電壓與市電輸入端電壓相位同步，如此一來當換流器故障時，連接於不斷電輸出端之電力負載才可順利經旁路開關跳接回原電力系統端持續受電。本專題即在研究運用 FPGA 型數位邏輯設計電路技術，設計一數位鎖相迴路，本專題規劃先由外部一市電電壓零點偵測電路產生電壓零交越點觸控訊號，送入 FPGA 板內後，透過計數器產生正弦表相對位址訊號，進而取得內建函數表之正確正弦函數值，並以脈波寬度調變方式輸出鎖相波形訊號，最後在於輸出端設計一低通濾波器電路，濾除 PWM 載波訊號，以提供後級電路一精準之正弦電壓訊號。本專題所擬電路，其內建正弦函數表僅需以四分之一週期儲存，因此可有效減少電路所需使用之記憶體深度，進而化簡電路，降低電路製作的材料成本。由電腦模擬與實驗證明本文所提方法具可行性，應具實用參考價值。

第一章 緒論

1-1 研究背景與動機

不斷電系統簡稱 UPS (Uninterruptable Power Supply, UPS)，其為電力公司停電時能夠持續供應用戶電力的設備，就如同緊急照明設備一樣。近年來，由於電力電子科技發展的進步，穩定的電源品質於是受到重視，由於不穩定的電源品質，經常造成電腦設備硬體上的損壞、當機及重要資料遺失，因此不斷電系統已漸漸成為許多電器產品、元件、系統，相當注重的要件。

不斷電系統的設計精密，能使市電與電池或變流器之轉換時間更短，彌補發電機或其他緊急電源中斷時間過長之缺點，滿足電腦及各種精密儀器對電力品質之嚴格要求，目前已被各高科技產業，電腦界認定為真正能徹底解決電源問題之必要設備。不斷電系統並不是只有當停電時才有動作的，一些電力方面的問題，包含了電壓下陷(sags)，尖波(spikes)，電壓突波(surges)，雜訊干擾(noise)，高(低)電壓暫態(transients)等問題存在，這些是造成電腦設備或精密儀器當機、內部元件損壞、縮短使用壽命以及資料流失等軟硬體之損失，足以影響設備正常運作的電源品質問題，不斷電系統均能將電源穩壓抑制雜訊，因此不斷電系統能一次性解決電源問題。

常見之不斷電系統種類，若以架構上區分，可細分成在線型(on-line)、離線型(off-line)、及電源互動型(line-interactive)三種。圖 1-1 為在線型不斷電系統之整體架構圖，其中包含整流器、變流器、蓄電池模組與旁路開關等四大部分。在整體架構上，係利用兩組電能轉換級整流器與變流器來完成不斷電之功能，其中整流器主要是將市電之交流電源整流成直流，並對蓄電池模組進行充電，變流器則為直、交

流電源轉換裝置。至於其操作原理為當市電電壓正常供電時，市電經由濾波迴路濾除雜訊後，藉由整流電路將交流電源整流為直流電源，同時亦利用充電迴路來完成蓄電池模組之充電；另一方面，則是將直流電源，視為變流器之輸入端電源使用，藉由變流器之切換動作，將輸入端直流電源轉換為一穩定交流電源輸出予負載；今如遇到市電電源發生異常或是不穩定而無法正常供應電源時，則變流器之輸入端直流電源經切換後由蓄電池模組來供電，以提供不間斷且穩定交流電源給予負載，而達到不斷電功能。此種持續供電的切換方式，由於系統的變流器一直處在持續的運作中，因此沒有轉換時間中斷之虞。在線型不斷電系統最大的特色就是零切換時間，而負載端之輸出電壓則完全由變流器來輸出，具有全時備用電源功能，亦即市電所發生之雜訊、脈衝、壓降、突波或暫態現象，皆可經由整流器與變流器之轉換濾掉，因此，負載端之電源品質可藉由變流器來修正，較不受市電電壓之變化，可提供負載設備最佳之電力防護方案，因而在實際應用中，較常用於保護通訊設備或對電源品質要求較高之儀器設備上。然而由於在線型架構係採兩級轉換，因此製作成本與充電器額定功率較高。

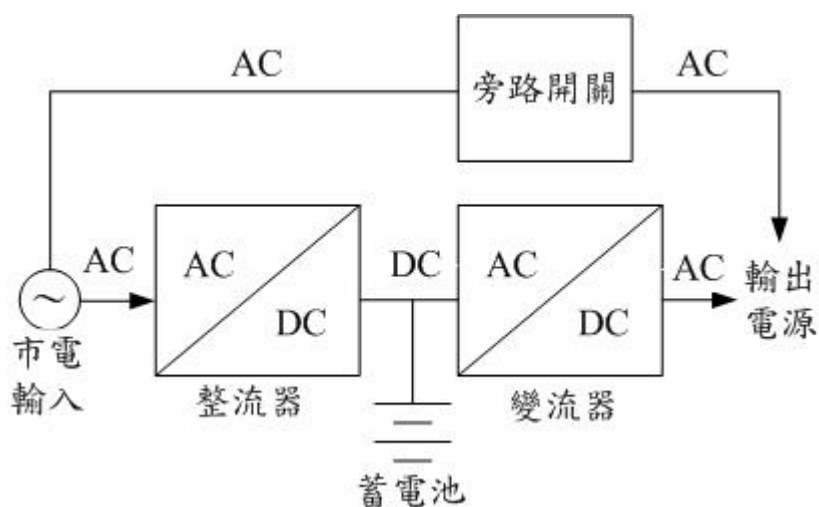


圖 1-1 在線型不斷線系統之整體架構

圖 1-2 則繪出離線型不斷電系統之架構圖，其中包含整流充電器、變流器與蓄電池模組等三大部分。在整體架構上，係利用整流充電器與變流器來完成不斷電功能。整流充電器主要將市電之交流電源整流成直流電源並對蓄電池模組充電與儲存電能，當市電發生異常時，即經由變流器將直流電源轉換成交流電源輸出，以進行供電。離線型不斷電系統的操作原理為當市電電壓正常時，不斷電系統之電池供電迴路，會將市電交流電壓整流成直流電壓，來完成對蓄電池模組的充電工作；同時變流器不運作，負載所需的能量完全由市電直接供應，但也由於市電直接供應給予負載，因此負載電壓波形會受到市電電壓的影響，可能會含有諧波及電力擾動訊號，而使負載運轉受到影響；另當市電電壓發生異常中斷或不穩定時，市電端無法正常供應電源於負載，此時變流器內之功率晶體將在瞬間執行開關切換動作，使原本儲存在蓄電池模組內之直流電源，藉由電力轉換器作用，產生一穩定交流電源供給負載使用，使得負載之受電狀態維持穩定。一般而言，離線型不斷電系統屬熱機待命型，因此當市電中斷時，不斷電系統需經過偵測、決定、及動作三個控制步驟，方能將蓄電池電量經由變流器作用投入負載使用。換言之，市電瞬間中斷時，負載需承受 4~12 毫秒因系統轉換所造成之斷電時間，因此可能降低負載端之運轉效能。

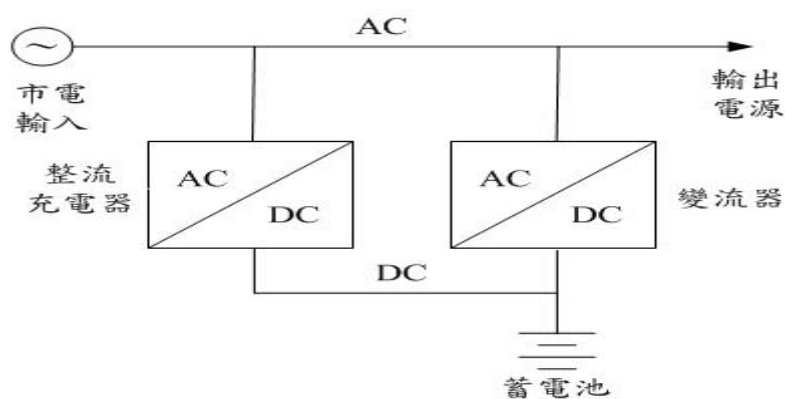


圖 1-2 離線型不斷電系統之整體架構

圖 1-3 為電源互動型不斷電系統整體架構圖，其係將充電迴路與變流器輸出迴路給予整合，亦即當市電正常時，充電迴路係藉由變流器對蓄電池模組充電，因此該型不斷電系統不需額外之充電模組，其中當市電端電壓正常時，除了直接供應電源給予負載使用外，同時另一迴路係經由變流器功率晶體切換執行整流功能，而將交流電源整流成直流電源，並對蓄電池模組充電，使電池模組具有足夠電力，可於市電異常時供給負載使用。另外當市電發生異常中斷或不穩定時，該型不斷電系統之運轉狀況分析。由於此時市電端無法正常供應電源給予負載時，因此藉由功率晶體之切換動作，變流器可將原儲存於蓄電池模組內的直流電源修正交流型態輸出給予負載，使負載系統維持正常受電。電源互動型不斷電系統係以變流器之市電併聯運轉技術為基礎進行設計，其變流器同時負責電池充電及放電之電能轉換工作，因此不需使用充電器，使得電路結構顯得較為簡單。此類系統由於變流器平常即與市電併聯運作，因此可減少系統從斷電到電池釋能所需之轉換時間。表 1-1 彙整列出靜態式不斷電系統之各種架構功能比較。

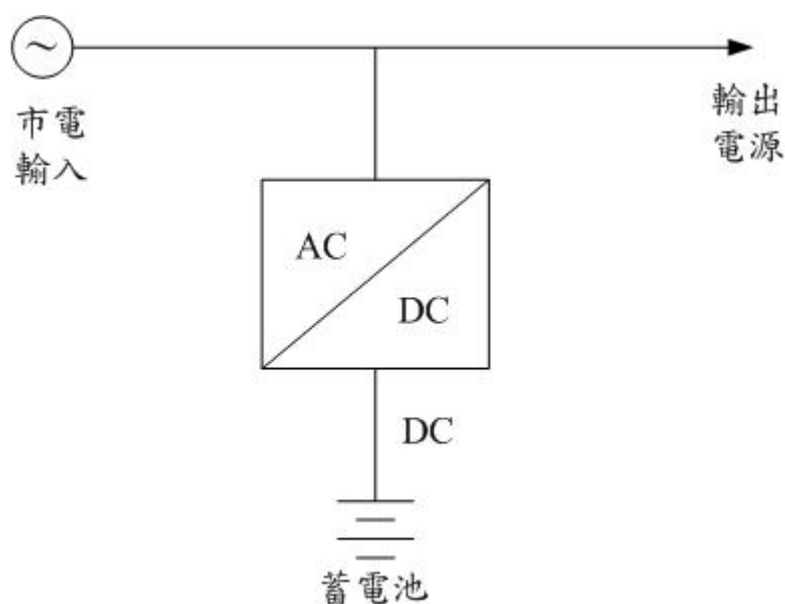


圖 1-3 電源互動型不斷電系統整體架構圖

表 1-1 靜態式不斷電系統之各種架構功能比較

	優 點	缺 點
在線型 On-Line	<ol style="list-style-type: none"> 1.零切換時間 2.具有全時備用電源的功能 3.電源品質可以藉由變流器來修正 	<ol style="list-style-type: none"> 1.系統電能效率較差 2.製作成本較高 3.充電器額定工率較高 4.系統架構較複雜
離線型 Off-Line	<ol style="list-style-type: none"> 1.主電路架構簡單 2.系統電能效率高 3.製作成本低廉 4.控制電路簡單 	<ol style="list-style-type: none"> 1.有數毫秒之電力中斷發生 2.在電源品質上，無法做到有效的隔離與補償
電源互動型 Line-Interactive	<ol style="list-style-type: none"> 1.主電路架構簡單 2.具雙向能量轉換能力 	<ol style="list-style-type: none"> 1.控制電路較複雜 2.若設計不良，可能含有數毫秒之電力中斷

1-2 鎖相迴路在不斷電系統之應用

鎖相迴路(Phase-locked loop, PLL)是一種能夠追蹤輸出訊號的閉迴路相位與頻率的控制技術。鎖相技術廣泛的應用在通訊方面，也常用於直流馬達轉速控制及不斷電系統的設計，鎖相迴路的技術在不斷電系統領域的應用中，係為保持不斷電系統換流器輸出電壓與市電輸入端電壓相位相同之重要電路機構，如此一來當換流器故障時，連接於不斷電輸出端之電力負載才可順利經旁路開關跳接回原電力系統端，持續受電。另外為了擴大不斷電系統並聯的容量及提高供電可靠度，常常會用多台不斷電系統並聯複置的架構，雖然在理論上並聯式架構是一種好理想的架構，但在實務上卻常常碰到各單機輸出電壓波

形有相位差，而導致內部很大的循環電流，造成不斷電系統本身發生故障現象，因此並聯複置的系統，各並聯單元皆需要一精確之市電電壓相位鎖相迴路，使得各並聯受控單元在控制上有共通之參考電壓相位，進而使各自獨立的單元輸出電壓相位相同，避免在並聯運作時系統內部產生循環電流問題。

傳統的鎖相迴路如圖 1-4 所示，它是由相位比較器，低通濾波器及電壓控制振盪器(Voltage-Controlled Oscillator, VCO)所組成，其工作原理說明如下：

- (1) 當相位比較器的兩個信號的相位及頻率都相同時，則其輸出 f_d 保持不變，因此 f_d 之值經過低通濾波器後之電壓 V_d 亦保持為定值。將 V_d 加到電壓控制振盪器的輸入，因為 V_d 不變，此時電壓控制振盪器的輸出 f_v 亦不變，固 f_v 與 f_i 永遠保持相同的相位及定值。
- (2) 當 f_i 頻率大於 f_v ，或 f_i 的相位領先 f_v 時，則 f_d 變大，經過低通濾波器後，直流電壓 V_d 變大，因而 f_v 亦變大，此種動作一直重複，一直等到 f_v 的值與 f_i 的值相等後才會維持平衡。
- (3) 當 f_i 的頻率小於 f_v ，或 f_i 的相位落後 f_v 時，則 f_d 變小，經過低通濾波器後，直流電壓 V_d 變小，因而 f_v 亦變小，這種動作一再的重複，一直等到 f_v 的值和 f_i 的值相等後才會維持平衡。
- (4) 綜合(1)，(2)，(3)項的說明，可知 f_v 隨 f_i 而改變，但是 f_v 隨 f_i 而改變是有限度的。如果 f_i 變化的太大或太快，隨著 f_v 變化時，有時候會產生振盪的現象，有時候會跟不上變化，最後 f_v 根本不隨著 f_i 變化，故 f_v 隨著 f_i 變化是有一定的範圍，此範圍我們叫抓相範圍(catch range)，及鎖相範圍(lock range)。

傳統的鎖向迴路常由類比放大器電路組成，由於其輸出頻率與外加電壓成正比，輸入電壓愈大，輸出頻率亦愈大，但輸出的電壓有一個最大值，如果超出此最大的輸入電壓後，其輸出頻率不再做線性的增加。當然輸入電壓亦有一個最小值，低於此最小電壓後，輸出頻率亦不會成線性的減小而進入飽和狀態，因此其應用於不斷電系統，遇到市電電壓波形失真或雜訊干擾時，常有鎖相失敗的狀況發生，嚴重時會導致不斷電系統失控而故障；另外以類比技術製成的鎖相迴路，較易受到環境條件、元件老化等因素之影響，電路穩定性相對較低。基於此，本專題即擬運用場規劃邏輯閘陣列（FPGA）型數位邏輯設計電路技術，研製一數位鎖相迴路，本專題規劃先由外部一市電電壓零點偵測電路產生電壓零交越點觸控訊號，送入 FPGA 板內後，透過計數器產生正弦表相對位址訊號，進而取得內建函數表之正確正弦函數值，並以脈波寬度調變方式輸出鎖相波形訊號，最後在於輸出端設計一低通濾波器電路，濾除 PWM 載波訊號，以提供後級電路一精準之正弦電壓訊號。值得注意的事本專題所擬電路，其內建正弦函數表僅需以四分一週期儲存，因此可有效減少電路所需使用之記憶體深度，進而化簡電路，降低電路製作的材料成本。

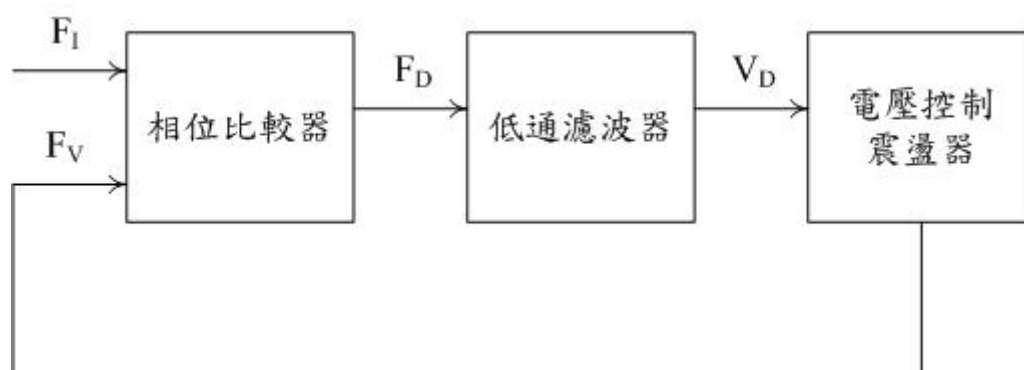


圖 1-4 傳統的鎖向迴路方塊

1-3 專題報告大綱

本專題報告在撰寫上分成五大章，除本章說明專題製作背景，其餘各章編排大綱分述如下：

第二章：介紹各種鎖相迴路架構，各種用途以及優缺點。

第三章：簡略 FPGA 硬體方便性，跟周邊軟體配合性與實用性。

第四章：利用 FPGA 配合軟體程式，進行模擬測試的成果，進而探討模擬驗證結果是否符合需求。

第五章：本專題報告之結論與未來發展。

第二章 鎖相迴路電路架構

2-1 鎖相迴路原理

傳統的鎖相迴路(Phase-locked loop, PLL)頻率乘法器的方塊圖電路，這是所有典型的鎖相迴路控制電路，簡單的回饋電路控制電壓控制振盪器(Voltage-Controlled Oscillator, VCO)的相位，原始信號與另一端N倍除法器的輸出同時輸入相位偵測器(Phase Detector)作為兩組信號的相位比對，在正常的情況下，這兩組信號的頻率幾乎是相等的，相位偵測器的輸出根據此兩組信號的相位差轉換成電壓比例的變化，再送入迴路濾波器(Loop Filter)，迴路濾波器決定PLL的動能特性，濾波後的信號控制電壓控制振盪器送出頻率，電壓控制振盪器的輸出頻率是輸入信號源的N倍，最後透過N倍除法器再回饋到相位偵測器。

迴路濾波器的特性根據不同的鎖相迴路應用而改變，如果使用鎖相迴路擷取及鎖頻信號，迴路濾波器的頻寬應該比輸入信號的頻寬高，鎖相電路能夠輸入及鎖相的信號頻率範圍稱為擷取頻寬(Capture Range)。此外，對於鎖相電路已鎖相並已追蹤的輸入信號而言，可以被追蹤的頻率範圍稱為追蹤頻寬(Tracking Range)，一般的電路設計，追蹤頻寬必定大於擷取頻寬，所以迴路濾波器同時決定擷取頻寬及追

蹤頻寬，稱之為最大轉動率(Slewing Rate)，較狹窄的迴路濾波器頻寬，可獲得較小的相位誤差，但是這種設計會使得鎖相迴路反應較慢且降低擷取頻寬，所以，必須使得鎖相迴路反應變快和提高擷取頻寬。

PLL 基本的整體作用即是使用頻率變動量極低的振盪源作為基準參考，經由閉迴路控制系統的回授作用，驅動可變頻率之元件的動作，使其能快速且持續穩定地和震盪源達到同相位的狀態，如此即為相位鎖定(Phase Locked)。當內部電路達成相位鎖定时，即可用來作為通訊系統的調變/解調電路。鎖相迴路之發展過程時來已久，而至今仍為技術研討之要角，主要因其應用甚廣且具高度發展潛力，包括頻率增高、穩定性提升、頻寬增加、低鎖定时間即為發展重點。

2-2 鎖相迴路 PLL 種類

鎖相迴路是一種回授(feedback)系統，在回授中利用回授信號將輸出端時脈信號的頻率與相位鎖定在輸入端參考時脈的頻率及相位上，鎖相迴路依其建構方式及基本架構的不同，約可分成四種：

1. 線性鎖相迴路 (Linear Phase-Locked Loop)
2. 數位鎖相迴路 (Digital Phase-Locked Loop)
3. 全數位鎖相迴路 (All Digital Locked Loop)
4. 軟體式鎖相迴路 (Software Phase-Locked Loop)

2-2.1 線性鎖相迴路 (Linear Phase-Locked Loop)

線性鎖相迴路基本架構如圖 2-1，它是由相位偵測器 (Phase Detector, PD)、迴路濾波器(Loop Filter)、電壓控制振盪器 (Voltage Controlled oscillator, VCO)所組成。相位偵測器的作用是將兩輸入訊號的相位 ω_1 和 ω_2 做比較，並依相差大小產生對應的誤差電壓；低通濾波器(LPF)主要用以濾除相位偵測器輸出所產生的高頻信號使迴路更穩定，並將訊號轉換成直流平均電壓，用以調整電壓控制振盪器的輸出頻率及相位；電壓控制振盪器則是隨電壓值高低不同，而在一定頻率範圍內產生振盪頻率的振盪電路。

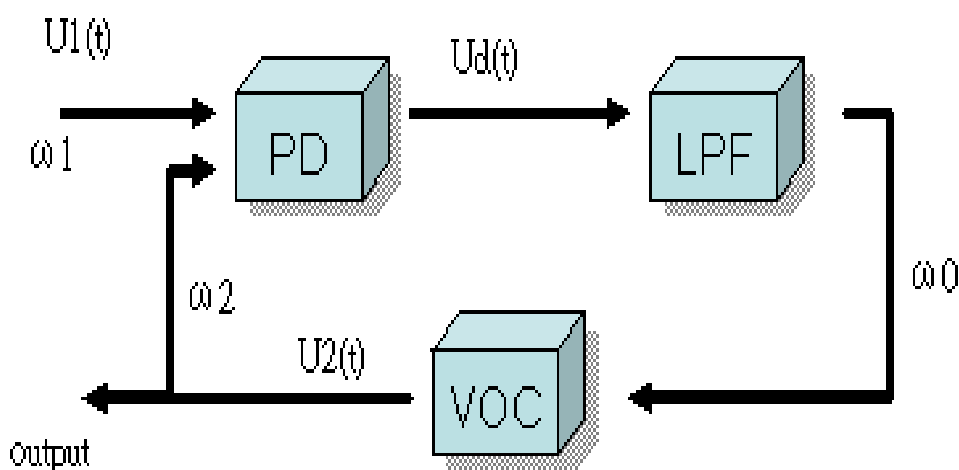


圖 2-1 鎖相迴路電路基本架構

2-2.2 數位鎖相迴路 (Digital Phase—Locked Loop)

數位鎖相迴路基本架構如圖 2-2，它是由數位電路所組成的相位頻率偵測器 (Phase—Frequency Detector, PFD)、類比電路的電荷幫浦 (Charge Pump) 與迴路濾波器 (Loop Filter)、電壓控制震盪器 (Voltage Controlled oscillator, VCO) 以及除頻電路所組成。相位頻率偵測器的作用是將參考信號 F_r 和內部電壓控制震盪器所產生的信號 F_i 做比較，並依兩者的頻率與相位差輸出一串數位的 UP 或 DN 信號對電荷幫浦進行充放電；迴路濾波器用以濾除電荷幫浦輸出所產生的高頻訊號，與電荷幫浦搭配具有將相位頻率偵測器訊號轉換成電壓控制震盪器所能接收的類比輸入訊號的功用，用以調整電壓控制震盪器的輸出頻率及相位；電壓控制震盪器則是隨電壓值高低不同，產生對應振盪頻率的振盪電路。

系統操作過程為相位頻率偵測器對由電壓控制震盪器輸出信號 F_i 的正緣或負緣與外部輸入信號 F_r 的正緣或負緣做比較，當邊緣超前 F_r 邊緣時輸出 UP 信號，反之則輸出 DN 信號；由 UP、DN 信號接著對電荷幫浦進行充放電；接著迴路濾波器濾除電荷幫浦輸出所產生的高頻信號，再用此信號作為電壓控制震盪器的控制信號，電壓控制震盪器依此信號大小產生相對信號 F_i 再回授到相位頻率偵測器中重新與輸入信號做比較，藉此不斷的改變電壓控制震盪器的控制電壓準

位，使輸入信號與電壓控制震盪器輸出信號間的頻率與相位差縮至最小，當到鎖定動作時相位頻率偵測器輸出的 UP、DN 信號皆為零。

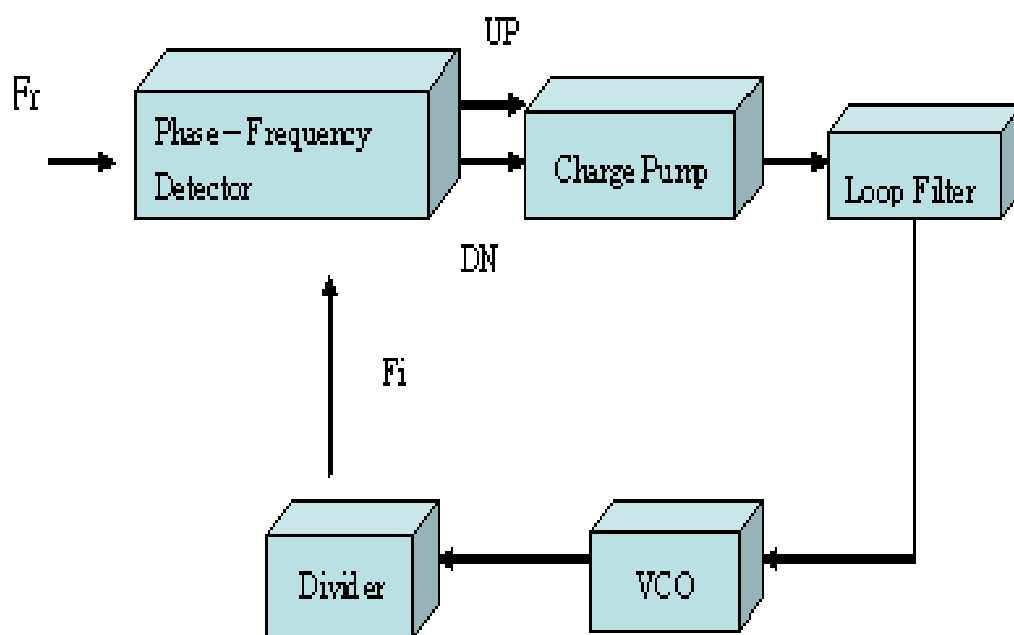


圖 2-2 數位鎖相迴路基本架構

2-2.3 全數位鎖相迴路 (All Digital Locked Loop)

電路皆由數位電路所組成，主要包含相位偵測器 (Digital Detector, PD)、UP/DN Counter、數位控制振盪器 (Digital Controlled Oscillator, DCO)。全數位鎖相迴路架構，它最大的優點是不需要外部輸入高頻信號，因此來運作，以二元搜尋法改變控制位元為主軸，共區分四種操作模式，分別為頻率獲取 (Frequency Acquisition)、相位獲

得 (Phase acquisition)、頻率維持(Frequency maintenance)、相位維持 (Phase maintenance)。鎖相程序由頻率由頻率獲取開始，頻率比較器比較數位控制振盪器的輸出與外部參考信號兩者頻率，產生快、慢兩種信號，依據這個信號經過演算法控制頻率增益改變數位控制振盪器的控制字元暫存器中的數值，做數位控制振盪器輸出頻率收斂到接近外部參考信號，然後將控制字元暫存到 Anchor 暫存器中。而後進入相位獲取模式，相位偵測器比較 ADPLL 輸出與外部參考信號兩者的相位差，產生超前或落後信號，並依這個信號經演算法控制相位增益，當輸出的信號超前，則將控制字元暫存器中的數值減去相位增益值成為新的控制字元值，反之相加，直到輸出信號由超前轉為落後或後轉為超前，將 Anchor 暫存器中的值存回數位控制振盪器的控制字元暫存器中，且相位增益值少一半，當相位增益值減至最小時，系統進入頻率維持及相位維持模式。此時依相位偵測器的輸出信號經過演算法適度更改相位增益，以及適時更動 Anchor 暫存器中的數值，做數位控制振盪器的輸出頻率更接近外部參考信號，Anchor 暫存器存放的是基準頻率值，它存放的值對應數位控制振盪器輸出頻率理應與外部頻率一致。

2-2.4 軟體式鎖相迴路 (Software Phase-Locked Loop)

軟體式鎖相迴路是一種利用程式執行演算法的方式來控制振盪器，使振盪器輸出收斂到與參考信號極為相似的一種鎖相迴路；在微處理器與數位信號理運算速度與日俱增，運算效能極為驚人，數位濾波器已經可以利用編碼運算來實現，也因此軟體式鎖相迴路的實用性也越趨越理相，軟體式鎖相迴路具有較其他種鎖相迴路來的靈活的優點，能夠模擬出來像 ADPLL (All Digital Locked Loop)、LPLL (Linear Phase-Locked Loop)、DPLL (Digital Locked Loop)這些鎖相迴路的運作方式，不過它也受程式執行的速度與類比數位轉換器性能的限制，就成本與速度上的考量，軟體式鎖相迴路性能還是不及其他種類硬體式鎖相迴路。

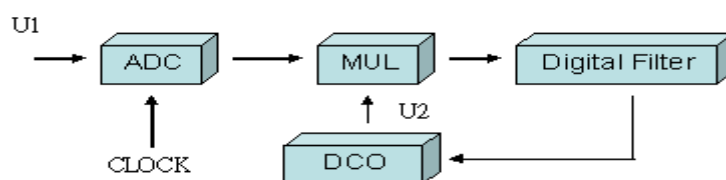


圖 2-3 模擬 LPLL 的 SPLL 電路架構

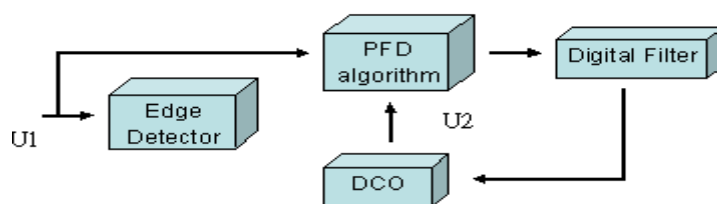


圖 2-4 模擬 DPLL 的 SPLL 電路架構

第三章 場規劃邏輯閘陣列介紹

3-1 背景

近年來隨著高科技產業的日新月異，現有的可規劃邏輯元件 (Programmable Logic Device, PLD) 其功能早已今非昔比，從早期的一小片矽晶片上只能容納數十個電晶體的小型積體電路 (Small Scale Integrated Circuit, SSI) 至今到一小片矽晶片上可以容納數百萬個電晶體的極大型積體電路 (Ultra Large Scale Integrated Circuit, ULSI)，可見極大型積體電路設計與製作流程皆有大幅且迅速成長，其電路結構、功能也越來越複雜，未來使用全訂製(Fully Customize)IC 的製作流程可能也無法完全符合現今市場上客戶的要求。故此，為了順應目前科技發展趨勢的需求，使用恰當的研究平台乃是不可缺少的要素，場規劃邏輯閘陣列(FPGA)即是一個相當良好且實用性又高的一套硬體規劃應用，而且 FPGA 早已成為學校教學及工業界設計非常受歡迎的電路製作元件。

3-2 FPGA 的結構

FPGA 主要由邏輯模組(logic module)和環繞這些模組的繞線資源 (routing resource)所構成，正如其名，這種現場可程式的特性，可讓設計者在其研究的場所，藉著相關的設備來進行種種過程，例如程式

撰寫、燒錄、驗證等等。FPGA 已成為取代特定功能積體電路 (Application Specific Integrated Circuit, ASIC)及特殊產品功能的積體電路(Application Specific Special Product, ASSP)的一種新趨勢，使用 FPGA 來設計數位積體電路 IC 有許多優點，它擁有高精確度、可程式規劃、模組化設計等等，使程式設計者不需再用麵包板的方式來設計，並在程式撰寫完後可直接燒錄驗證其設計的結果，節省了傳統設計須送到晶圓廠製成 IC 的費時過程。單單一個 FPGA 晶片即可取代整個 TTL 元件，且隨著不同功能的要求而修改設計以完成電路要求，不需要大幅變更硬體元件即可完成，有助於產品開發時的成本及時間，也大大降低了 IC 設計錯誤的風險。

3-3 FPGA 型電路

現場可程式邏輯閘陣列(Field Programmable Gate Array. FPGA) 早以成為取代 (Application specific Integrated Circuit. ASIC) 及 (Application Specific Special Product. ASSP)的新趨勢，因為過去開發新產品的過程當中，往往需要設計者製造多次的試驗電路，但是現在使用 FPGA 不但可以使設計者介由電腦操作來設計軟體更能使設計者能掌握設計的流程及時間，而在除錯方面更是 ASIC 所不能及，因此. FPGA 的技術優勢符合了目前 IC 設計者的需求，FPGA 不但能增

加更多的想像空間並且能在設計當中有所掌握研究及設計時間長短，最後更能避免 ASIC 之設計風險。FPGA 採用不同於 PLD 架構之設計方式，擁有較高的密度，而與 CPLD 不同者在於邏輯閘數較少，以暫存器居多，其密度更在 5K 以上之多，腳位數多，擁有高容量，低耗電功率的優點。圖 3-1 為 FPGA 與 ASIC 製造比較流程圖。

FPGA製作流程與ASIC設計製造之流程比較圖如下

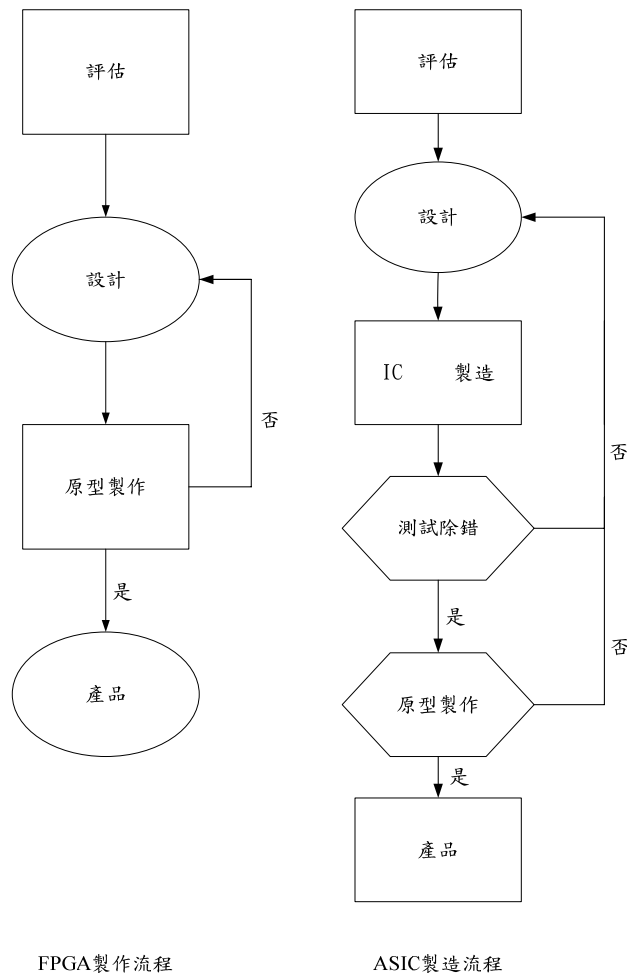


圖 3-1 FPGA 與 ASIC 製造比較流程圖

應用規格晶片 ASIC 為提供在特殊應用場合上所使用的積體電路元件，在半導體的製造上屬於邏輯類製造，有別於一般記憶體製造。而 PLD(Programmable Logic Devices)以密度及架構大小可分為以下三大類：SPLD(Simple Programmable Logic Devices)、CPLD(Complex Programmable Logic Devices)及 FPGA。SPLD 是所謂的簡單型可程式邏輯元件在邏輯元件上是產品當中屬於最早期之產品，其優點為速度快，但是缺點在於功率消耗高，而 SPLD 又可以分為兩種，其中一種僅作單次燒錄，程式下載過後就無法拭除，另外 GAL 則可多次燒錄，採可拭除之設計隨時皆可更正設計，故可縮短設計之週期，CPLD 指複雜型之程式邏輯元件，其優點在於可分次重複燒錄(Erasable)低頻率非揮發(Non-Volatility)；然其繞線(Routing)頗複雜，也亦導致時序延遲，呈現非固定式，延遲時間(time delay)較長，對剛剛接觸這方面的設計工程師而言不易立即瞭解，更而要花較長的學習去時間。FPGA 的架構主要有 SRAM Base 及 Anti-fuse 兩種設計模式，其中 SRAM Base 特點是可重覆燒錄(reprogrammable)，低消耗功率，可於線上組成，但唯其需借助外部之電源維持資料，且操作上需由外部進行資料下載；Anti-fuse 由於具有一次燒錄(OTP)的特性，可在保密性上提供較佳的保護，但也因此無法進行重覆修改。

而在 IC 的設計領域時間的長短掌握也決定了一切，隨著電子技術的成長及進步 ASICR 及 ASSP 早被 FPGA 取代之。其主要也包括了產品的價格降低，製作及設計的時間變快，體積的變大以及功率消耗種種的因素都是 IC 未來的發展趨勢，而積體電路之數位設計上又可分為：數位.類比.及混合模式三種。

而在從前的 ASIC 設計過程中，總是要將設計後之東西送去代工廠製作晶圓.再來又要切割晶圓以及最後的封裝往往在金錢上及等待產品的時間上早已遠超過了原來之預估和預算。因此 ASIC 有著許多製作上的問題，而就算你能如期拿到封裝後的產品，但其晶片程式內容之功能也未必能達到你最初的需求到頭來還是不合所需。FPGA 能讓研發人員容易的操作及運用這就是好的 IC 當中最好的一種利器，也更能使許多的問題在短時間內得到最佳之結果。若以 FPGA 來做實作及設計的話，可讓學生在寫作硬體描述程式上能夠得心應手，也因此更能取而代之複雜及傳統的麵包板，不單單是這樣更是省去了切斷及修剪和接線的工作。而或許在電腦上寫起來多少會有點亂，但是這在麵包板上也會有相同的事情發生，然而，學生至少可以在描述程式語言上做輕鬆的修改，編輯及最後載入 FPGA 晶片的步驟，而且就算學生從事較有挑戰性之設計，就連除錯上也一樣非常容易地修改，因此

不管是時間上及金錢上 FPGA 都降低了所有的時間和費用。使用 FPGA 設計數位積體電路之優點如下：

(1) 容量越來越大，邏輯閘數也越來越大。

FPGA 能夠被使用者有所認定重點在於它容量夠大，而邏輯數也夠多但是低消耗功率才是重點。

(2) 速度較快。

在現今之產品不但速度要快，其技術層次也要高，執行速度也快，功能更要強大。

(3) 研究及設計時間短，可縮短產品上市時間及成本。

往往時間代表了一切及代表了金錢，設計時間過長必定會影響產品上市，也因此更不會得到許多廠商及企業的選擇。

(4) 可避免 ASIC 設計的風險。

FPGA 能讓使用者更能夠輕易的製作及修改內部之設計，因此也就能快速的修改功能以及更快的開發產品。

(5) 可重新配置及靈活設計。

產品就是要在功能及設計上配合程式需求，也必須具有著重新製作及重新寫入的重要功能才會在趨勢中被認定。

(6) 處理複雜電路問題之能力。

產品有著強大的功能，速度上、容量上更是需求之一，因此在問題

的處理上必然是訴求要點，所以產品須整合多數個模組及輔助工具亦才能使操作人員在產品的開發上更能順利及完整。

至於麵包板使用，為了要使 IC 之間連接能夠順利導通，因此常常需要做剪線及接線的動作，而在接線的當中也常常因為人為的問題而產生一些錯誤與插錯位置，也因此為了使電路能夠正確及正常動作，而勢必要花更多的時間花費在檢查接線的問題和尋找插錯的元件。其他如在有限的時間及金錢預算上更是一大問題，因為你不可能在短時間上尋找到你要的 IC 元件，而且當一切的電路正常運作時而你又必須加入新的設計時，而你又勢必要在麵包板上找一個空位來放入新的設計，通常是非常麻煩的問題。今如以使用電腦軟體程式取代麵包板之製作，則具下列優點：

- (1) 電腦早已取代了人工繞線，只因為大大降低了錯誤的發生因此在製造過程減少了更多的時間，一來更有效率的完成電路設計
- (2) 避免了更多人工所帶來的錯誤及過失。
- (3) 能夠將你所製造完成及設計之東西，建檔放入電腦檔案當中而日後有所需要時，隨時都能夠呼叫出來。
- (4) 在設計當中往往需要更多的元件與更多特殊之晶片，而你可以不需要花更多時間在尋找上，你就可以輕鬆的在自己的資料夾當中

尋找到你要的元件。

(5) 能夠輕易的做你想要的修改，就算你要做更大之專題製作也不用

怕容量之問題更可以避免人工製作所帶來的乏味。

第四章 系統模擬與驗證

4-1 前言

本專題製作使用的是 Xilinx FPGA Foundation Series 4.1 版設計模擬軟體，該軟體包括下列的幾項功能：

- (1) HDL Editor：可使用 ABEL、VHDL 或 Verilog 硬體描述語言輸入設計電路。
- (2) FSM Editor：可以使用狀態機器方式設計電路。
- (3) Schematic Editor：使用圖形編輯的方式設計電路。
- (4) Simulation：模擬所設計電路之功能集時序。
- (5) Implementation：進行 FPGA 晶片之規劃、佈置、佈線及轉換成燒錄檔案之動作。
- (6) Programming：進行 FPGA 晶片的燒錄動作，也就是將設計好的電路燒錄檔下載至 FPGA 驗證板的晶片上。

本專題製作分成除頻器、正弦表、PWM 鎖向迴路訊號輸出控制三大部分，其中外部零點偵測電路其供觸發訊號後，程式開始除頻計數，相關時脈訊號再送入正弦表位址控制器，取出對應之正弦函數值，最後再運用脈波寬度調變原理送出鎖相訊號，並於外部使用 2 階主動型低通濾波器濾除 PWM 載波訊號，以將該脈波寬度調變鎖相訊號還原為與輸入訊號同相位之正弦波型。今茲將其電路程式原理分述

於下面各小節。

4-2 除頻器模擬與驗證

如圖 4-1 所示，給輸入時脈 CLK 一個內建 40MHz 的時脈 ISE 軟體 B0 的之後，得到我們所需要的輸出時脈 CLK_10K 模擬驗證圖；
運算後輸出結果和我們所需的工作時脈一樣。

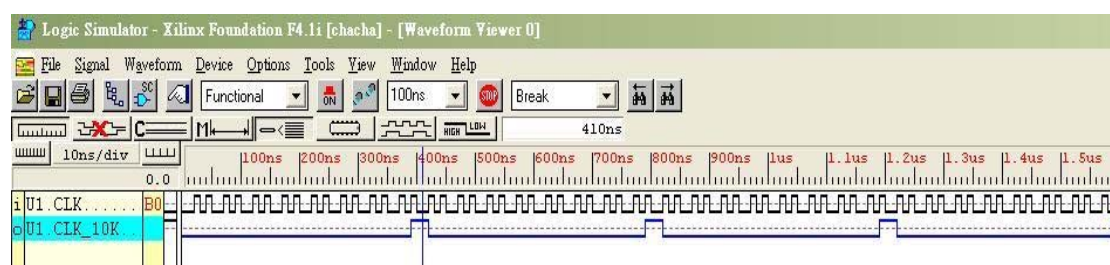


圖 4-1 除頻器模擬驗證圖



圖 4-2 除頻器內部繞線圖

表 4-1 除頻器邏輯閘數目表

項目	等效邏輯閘總數	額外輸出入埠的 JTAG 閘
除頻器	64	98

4-3 正弦波模擬與驗證

FPGA 晶片只能綜合一些簡單的加、減、乘、除等算術邏輯，要它實現正弦函數的計算非常不經濟，正弦波的產生透過查正弦函數表來完成。在 FPGA 晶片內部建立一個 case，將離散時間正弦波之值列表。在需要時，按照相位與位址一一對應的關係從表中依次讀出即可。

由於 FPGA 晶片的硬體資源有限，如何有效的利用資源成為非常關鍵的一點。考慮到正弦波的週期性與對稱性，因此在列表中只需存正弦函數四分之一週期的波形數據即可。在本設計中，一個正弦波週期內共採樣 512 個點，相位分辨率為 0.703，而實際在列表中只需存 128 個採樣點，這樣大大減少了晶片硬體資源的消耗。

如圖 4-3 所示，給輸入時脈 CLK 一個內建 40MHz 的時脈 ISE 軟體 B0 的之後，在經由程式跑出之模擬圖；當我們將 LD 輸入 1 經運算後輸出結果為 SIN 函數的離散數值；由此並可看出所設計的正弦波產生器程式無誤。

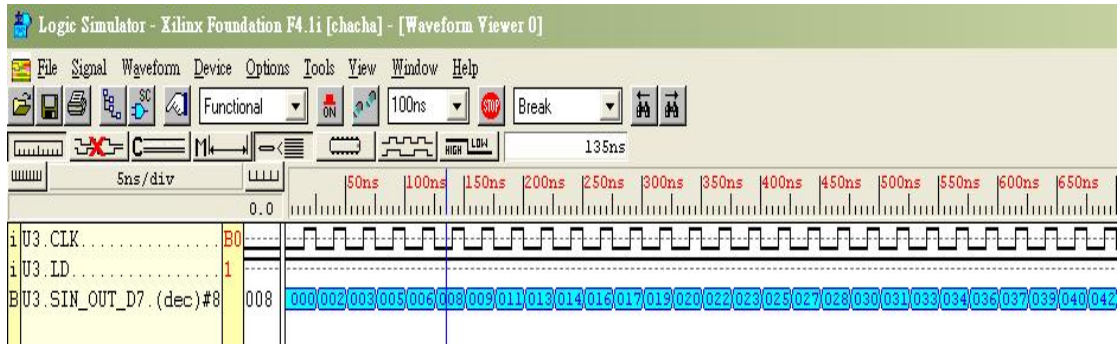


圖 4-3 正弦波模擬驗證圖

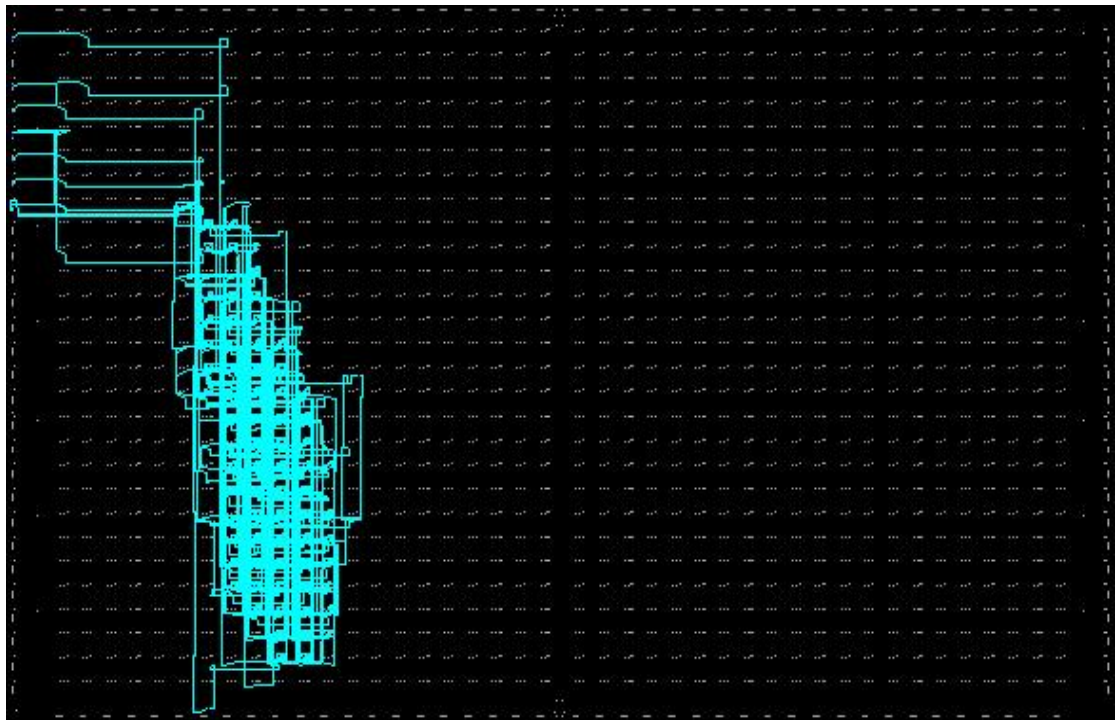


圖 4-4 正弦波內部繞線圖

表 4-2 正弦波邏輯閘數目表

項目	等效邏輯閘總數	額外輸出入埠的 JTAG 閘
正弦波	1494	480

4-4 三角波模擬與驗證

利用計數器來進行計數。計數器先執行加法，從 0 計數到 127，之後執行減法計數從 127 到 0，再由 0 計數至 127 到 0 取其 2 的補數，從而實現三角載波。

如圖 4-5 所示，給輸入時脈 CLK 一個內建 40MHz 的時脈 ISE 軟體 B0 的之後，在經由程式跑出之模擬圖；當我們將 LD 輸入 1 經運算後輸出結果為三角波的數值；由此並可看出所設計的三角波產生器程式無誤。

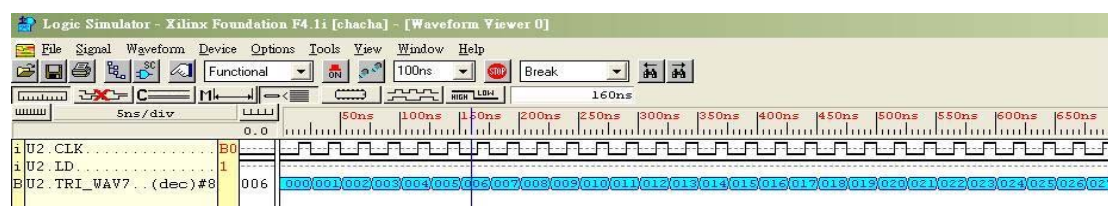


圖 4-5 三角波模擬驗證圖



圖 4-6 三角波內部繞線圖

表 4-3 三角波邏輯閘數目表

項目	等效邏輯閘總數	額外輸出入埠的 JTAG 閘
三角波	510	480

4-5 比較器產生 PWM 輸出模擬與驗證

PWM 輸出波形以三角波和正弦波取樣之值來比較，因為之前的正弦波以及三角波以 0(二進位 8 bit 為 00000000)到 127(二進位 8 bit 為 01111111)為正；128(二進位 8 bit 為 10000000)到 255(二進位 8 bit 為 11111111)為負，所以我們把比較器分成四個部份探討。其一為，三角波(正)和正弦波(正)；其二為，三角波(正)和正弦波(負)；其三為，三角波(負)和正弦波(負)；其四為，三角波(負)和正弦波(正)。

如圖 4-7 所示，給輸入時脈 CLK 一個內建 40MHz 的時脈 ISE 軟體 B0 的之後，在經由程式跑出之模擬圖；把比較的輸入連接到 60Hz 的 SIN 波與 10KHz 的三角波，LD 輸入端給 1，經運算後輸出結果為 PWM 的波形。由此可看出所設計的比較器產生 PWM 輸出程式無誤。

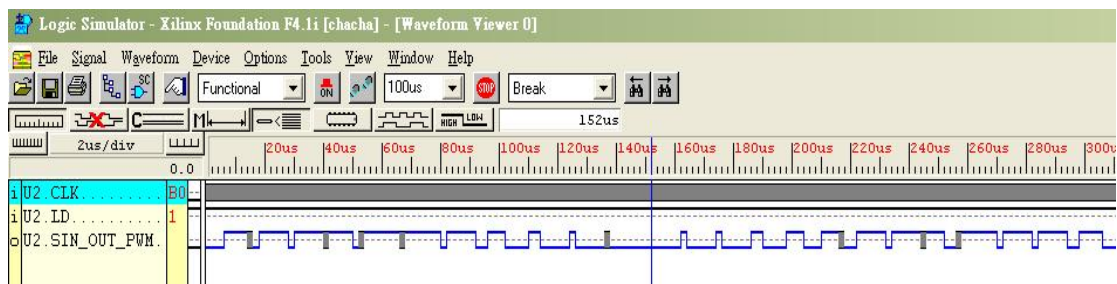


圖 4-7 PWM 輸出模擬驗證圖

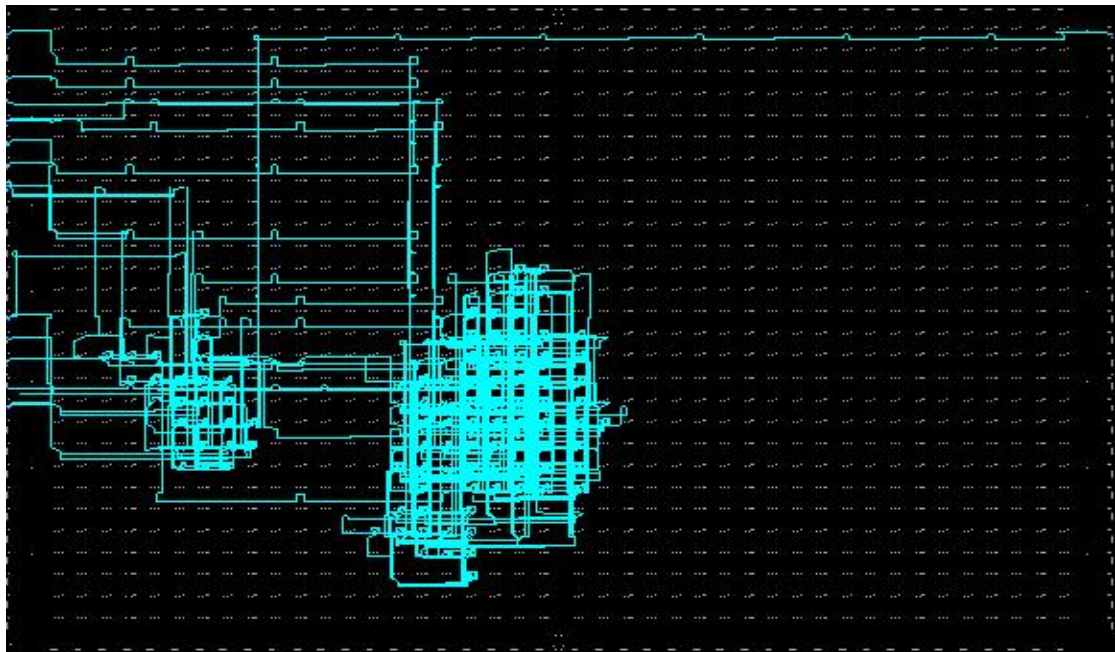


圖 4-8 PWM 輸出內部繞線圖

表 4-4 比較器產生 PWM 輸出邏輯閘數目表

項目	等效邏輯閘總數	額外輸出入埠的 JTAG 閘
比較器產生 PWM 輸出	2166	912

4-6 外部電路

4-6.1 零點偵測模擬驗證

圖 4-9 為零點偵測的電路圖，按照電路圖設計所用的實作測試元件電路(圖 4-10)，利用波形產生器產生一正弦波輸入(CH2)，而(CH1)為輸出所測得的波形。

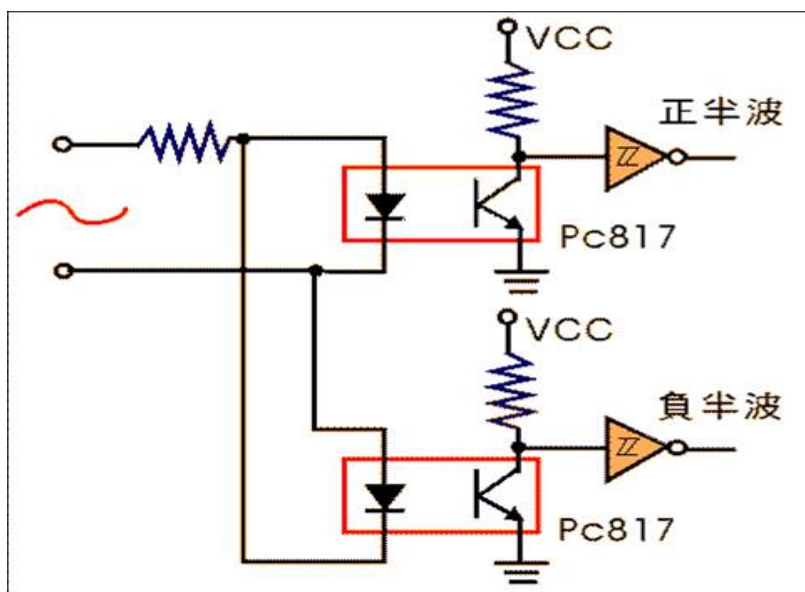


圖 4-9 零點偵測電路圖



圖 4-10 零點偵測元件

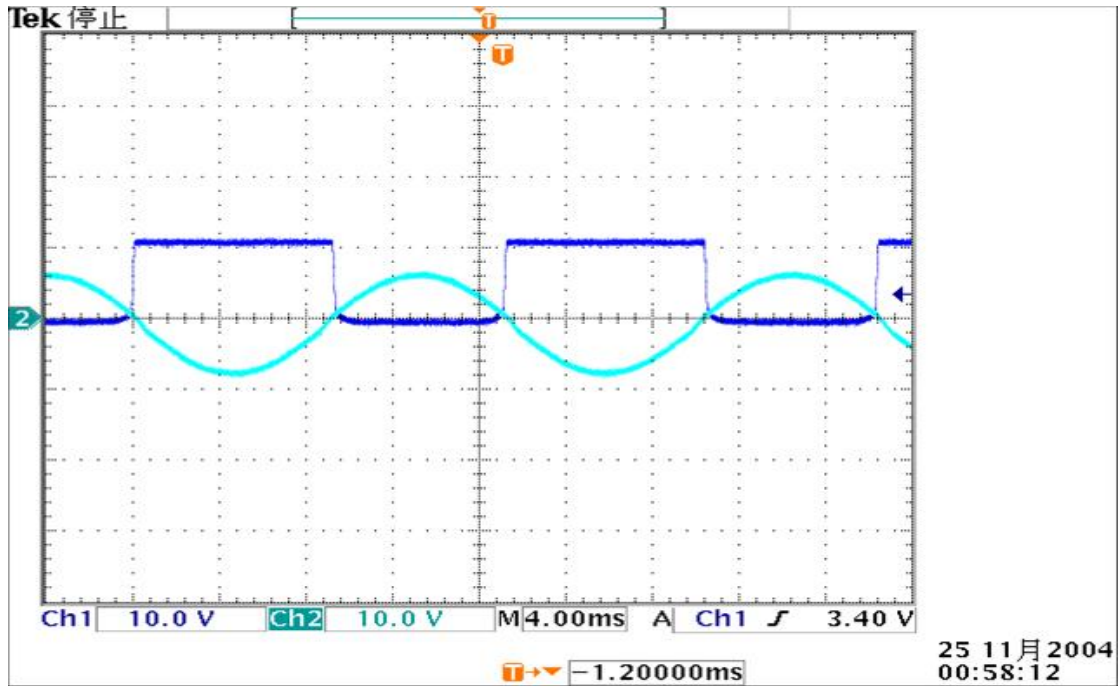


圖 4-11 零點電路輸出輸入波形

4-6.2 低通濾波器模擬驗證

圖 4-12 為低通濾波器的電路圖，依圖 4-12 給輸入一 SIN 波的脈波寬度調變後的波形，模擬而得圖 4-13 的輸出波形。圖 4-14 為實作電路圖。

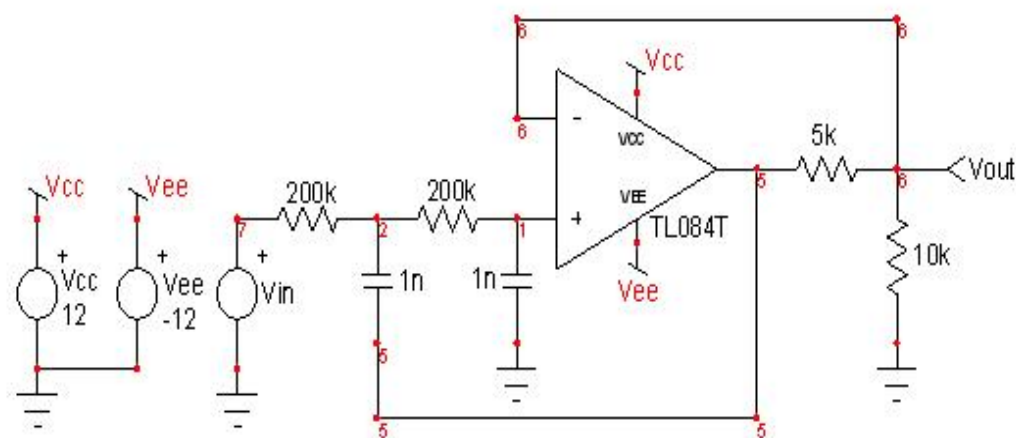


圖 4-12 低通濾波器電路圖

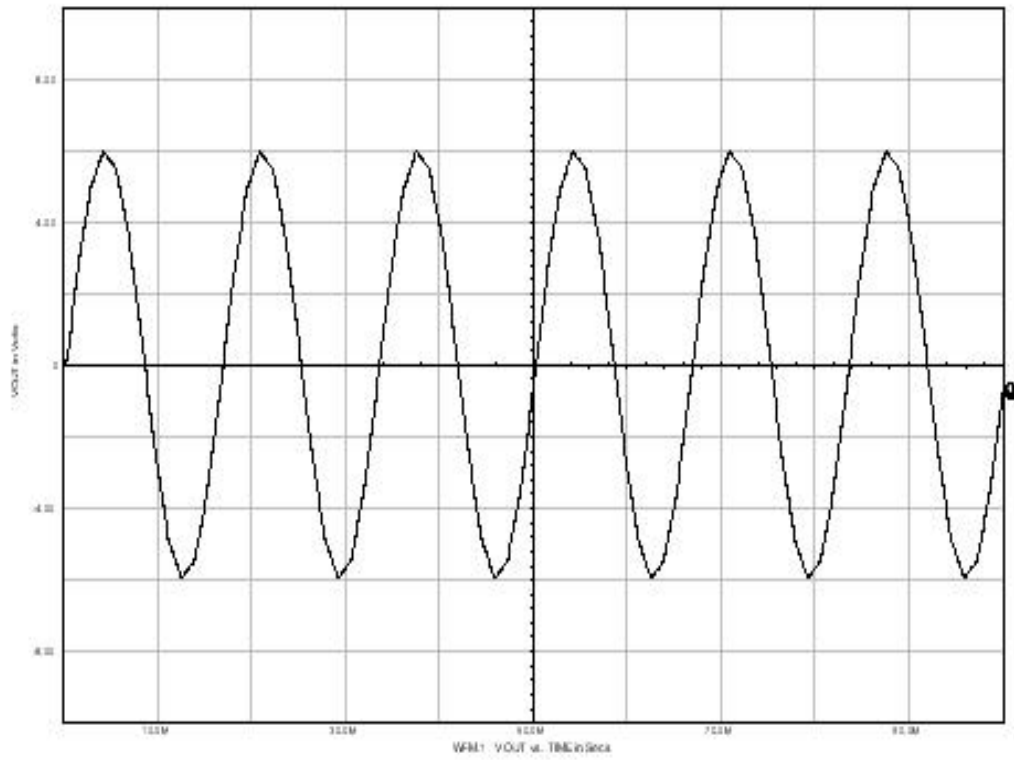


圖 4-13 低通濾波器輸出模擬波形圖

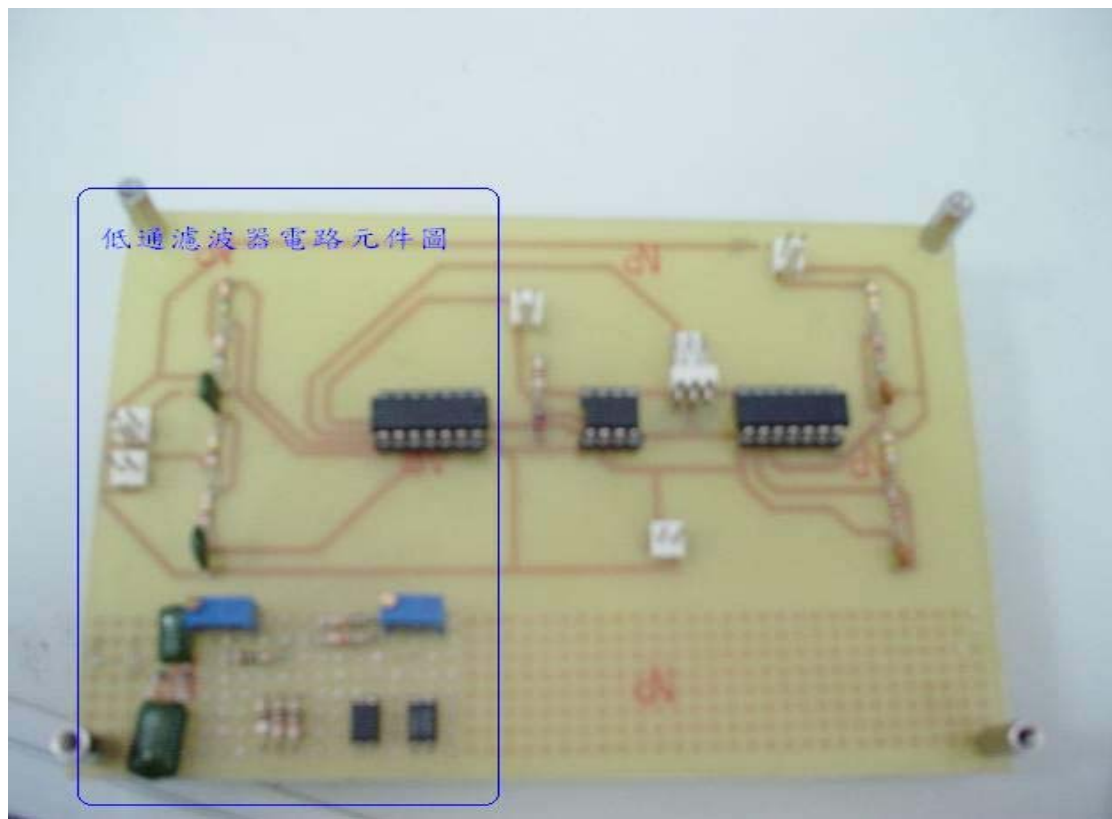


圖 4-14 低通濾波器電路元件

4-7 實測波形

將 FPGA 與外部電路串接，配合各種頻率改變 FPGA 內部除頻器計數值，利用示波器測量低通濾波器輸出，可以得到下列幾種頻率波形：

(一) 25HZ 波形

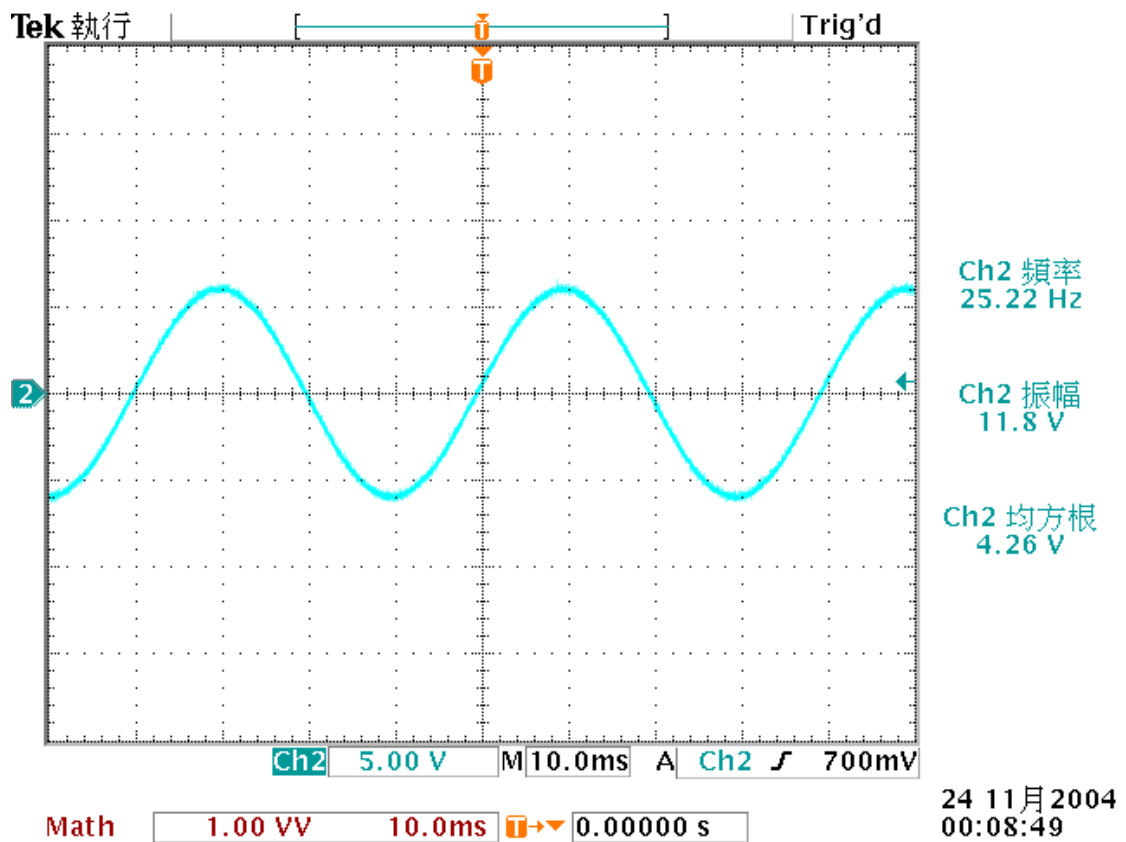


圖 4-15 25HZ 輸出波形圖

(二)50HZ

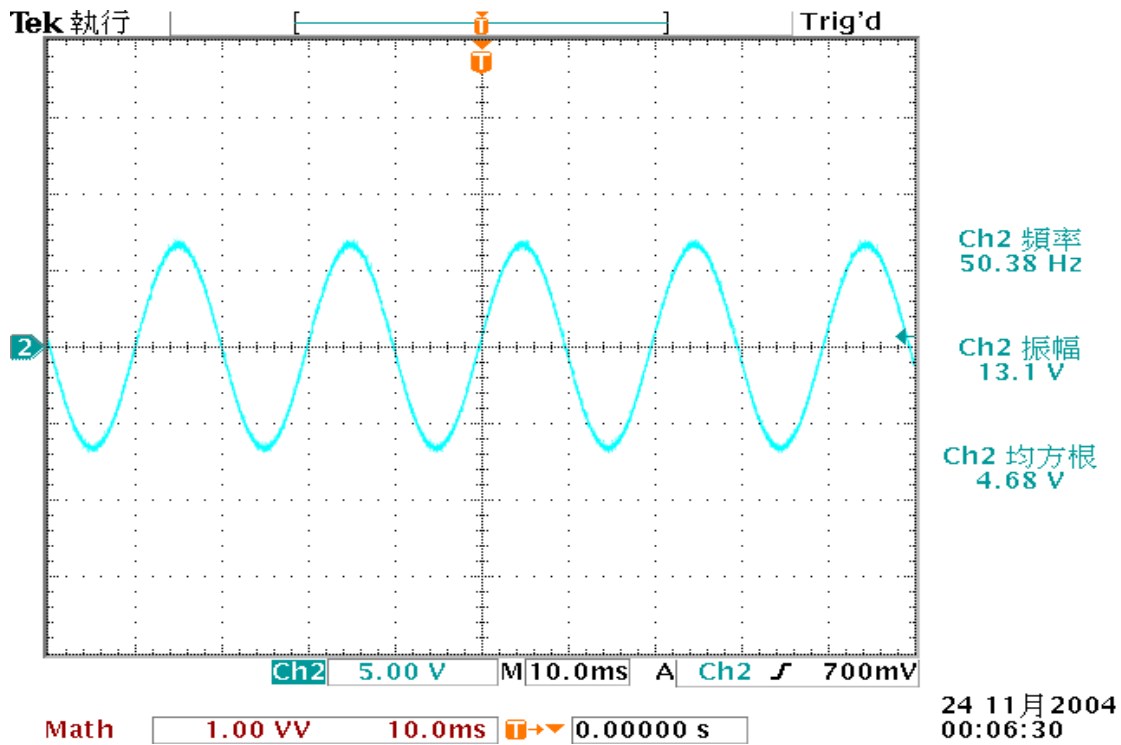


圖 4-16 50HZ 輸出波形圖

(三)60HZ

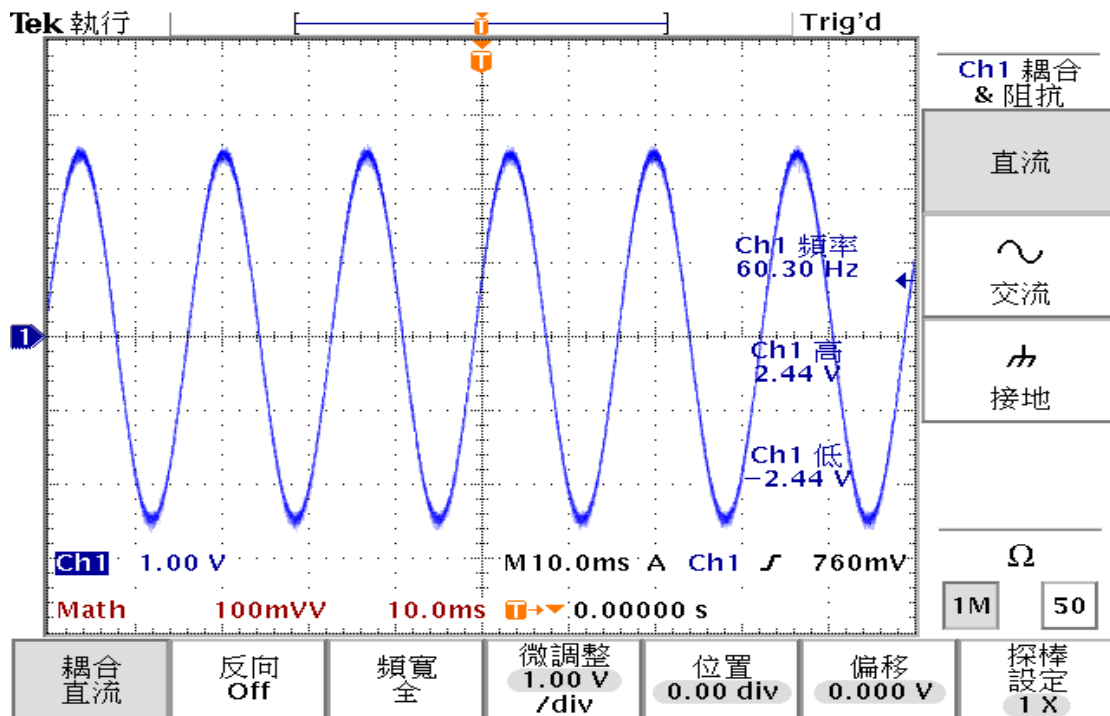


圖 4-17 60HZ 輸出波形圖

(四)180HZ

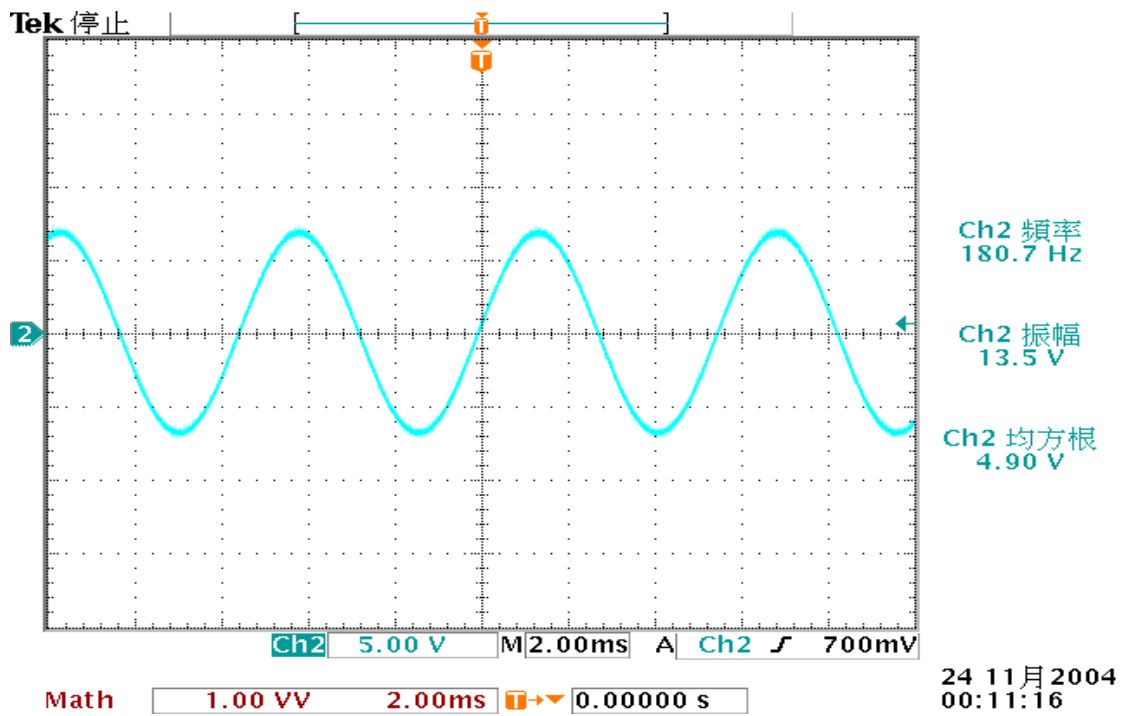


圖 4-18 180HZ 輸出波形圖

(五)1kHz

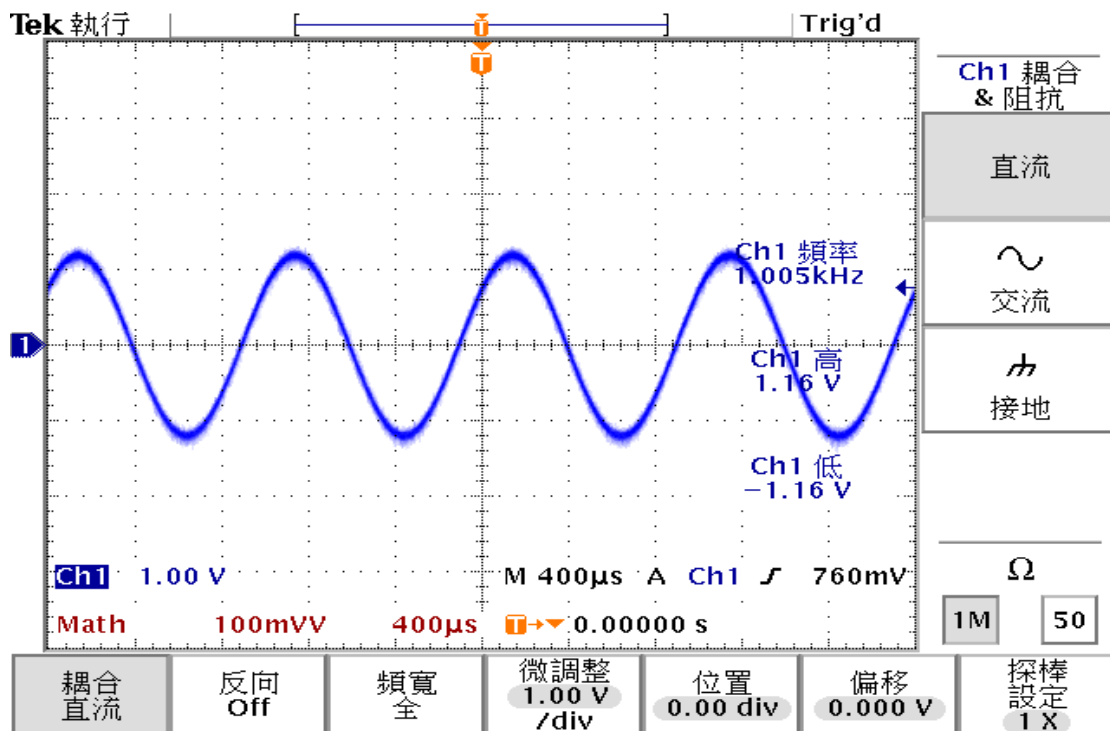


圖 4-19 1kHz 輸出波形圖

第五章 結論與未來發展方向

5-1 結論

不斷電系統在未來的科技裡，扮演了保護儀器系統的重要角色，而本專題運用了FPGA電路可程式規劃的特點，設計出一適用於不斷電系統市電電壓鎖相功能之數位電路，可協助提高不斷電系統運轉之可靠度與穩定度。其中本專題已分別從事理論分析與實作電路驗證，由相關結果可看出本報告所提方法應具可行性，相關設計經驗應可供不斷電系統工程人員實務採行之參考。

5-2 未來發展方向

由於FPGA已成為電路設計必備的工具，其研究發展都朝著多元化去設計，其中FPGA硬體資源之發展趨勢結合CPU的運算控制及記憶體功能，以提高電路運算功能處理能力。未來本專題擬進一步採用高階FPGA硬體資源進一步設計出包括數位PID補償器、電壓有效值計算器、輸出電壓波形控制迴路等功能之不斷電系統控制晶片，以協助減少不斷電系統電路所需之元件數目設計程序，降低其生產成本，同時提高電路運轉之穩定性。

參考文獻

- [1] 董蘭榮，“Xilinx FPGA 電路設計與實習”，滄海書局，中華民國 90 年。
- [2] 洪紹恩，“輔以 FPGA 設計之三相主動電力濾波器之研製”，國立成功大學碩論，中華民國 89 年。
- [3] 鄭群星，“Xilinx FPGA 數位電路設計入門”，東華書局股份有限公司，中華民國 91 年。
- [4] 蔡寬道、黃章銘、郭亞倫、游竣安、陳吉宗，“FPGA 型技術於數位電路應用之研究”，崑山科技大學學生專題，92 年。
- [5] Sergio Franco，“Design with Operational Amplifiers and Analog Integrated Circuits”，McGraw-Hill Companies，86 年。
- [6] 鄭信源，“Verilog 硬體描述語言數位電路設計實務”，儒林圖書股份有限公司，93 年 2 月三版二刷
- [7] 黃英叡、黃稚存、張銓淵、江文啟，“Verilog HDL 硬體描述語言”，全華科技圖書股份有限公司，92 年 1 月。
- [8] 楊連常，“UPS 用逆變器的控制之研究”，國立成功大學電機工程研究所碩士論文，83 年 6 月。
- [9] 孫嘉宏，“新型電源互動新不斷電系統之研製究”，國立成功大學電機工程研究所碩士論文，92 年 6 月。

[10] 莊青珊、王瑞祿，“鎖相迴路(PLL)”， 崑山科技大學電子工程系
學生專題，91 年。

[11] 顏振富、王瑞祿，“PLL 鎖相迴路”， 崑山科技大學電子工程系
學生專題，91 年。

