

應用於低電壓保護功能之脈波寬度調變 驅動晶片之設計

吳在寧 郭永超 林浩仁

大葉大學資訊工程系

摘要

近年來，CMOS積體電路技術已成功的應用在許多的系統上，為了能更有效率的使用可攜式電子產品的電源，低電壓、低消耗功率的電路是現在發展的趨勢，加上在現今的類比電路應用上，常常需要一個能夠不因電源電壓以及溫度的變化而產生太大變動的能隙電壓參考電路(Bandgap)，藉由和絕對溫度成比例的電路(PTAT)去補償雙載子電晶體所產生的負溫度係數，以提升整體電路的精確度、可靠度，或是用以監督電源或是其他電路操作之正確性等等，是一應用極為廣泛的重要電路。另外在電力電子產品中，常使用到脈波寬度調變(pulse-width modulation, PWM)技術；本論文針對低電源電壓電子系統所需要的直流轉直流降壓轉換器(DC-DC)提出具有低電壓保護功能之脈波寬度調變驅動晶片之設計與實現，實作出來的晶片具有很高的電能轉換效率並且適合可攜式電子系統產品來使用，例如：行動電話、數位相機和個人數位助理...等等。

此一晶片是透過晶片系統中心(CIC)來製作，使用台積電(TSMC)所提供的0.35um 2P4M 3.3V 互補式金屬氧化層混合訊號製程，於九十四年一月下線成功，此晶片工作電壓在3.3V，工作頻率在100KHz至10MHz之間，總消耗功率為468.7330uw，尺寸大小為343.7um x 325um。

關鍵詞：能隙電壓參考電路、絕對溫度成比例的電路、脈波寬度調變、降壓型轉換器、互補式金屬氧化層混合訊號製程

壹、簡介

早期的通信，大部份是採用連續性類比信號來傳輸，但由於數位電腦及網路多重通訊的興盛，使得許多資訊以脈波方式來傳送較為簡單與方便；脈波調變可用來傳輸如類比語音或資料之用，其方法是以一定的速率對連續波信號作取樣，而此速率亦是其傳輸速率。在接收端，將接收到的脈波作解調以還原回原來的連續波類比信號。脈波調變一般常見的有脈波振幅調變(Pulse-amplitude modulation, PAM)，脈波寬度調變(Pulse-width modulation, PWM)，脈波位置調變(Pulse Position modulation, PPM)以及脈波符碼調變(Pulse code modulation, PCM) [1]，在此，將探討 PWM 的技術，進而設計出一顆脈波寬度調變 IC。

加上近幾年來，消費性電子產品如掌上型個人數位助理、行動電話、隨身聽...等等，無不以獲得更長的使用時間為發展方向。因此，電池便是為了因應續電力與可攜帶性而多樣性的發展。但電池容量有限，如何有效率的使用電池將更為重要。

為了要更有效率的管理單顆鋰電池手持式電子產品的電源，設計一個提供電壓 3.3V，工作在 1V 的脈衝-寬度調變直流對直流轉換器(Pulse-Width-Modulation DC/DC converter)[5]是必要的，這也是設計此晶片的動機之一，加上 CMOS 積體電路技術已成功的應用在許多系統上，為了能更有效率的使用單顆鋰電池手持式電子產品的電源，低電壓、大電流的電路是現在發展的趨勢；目前的脈波寬度調變器主要研究方向大多著重在正確的輸出波形及反應的時間，如此才可以處理更快且更複雜的類比訊號。

在本論文電路的設計中，最大的貢獻就是整合了傳統運算放大器、比較器和振盪器來作出脈波寬度調變器，並著重於運算放大器的響應、比較器的反應速率與振盪器的控

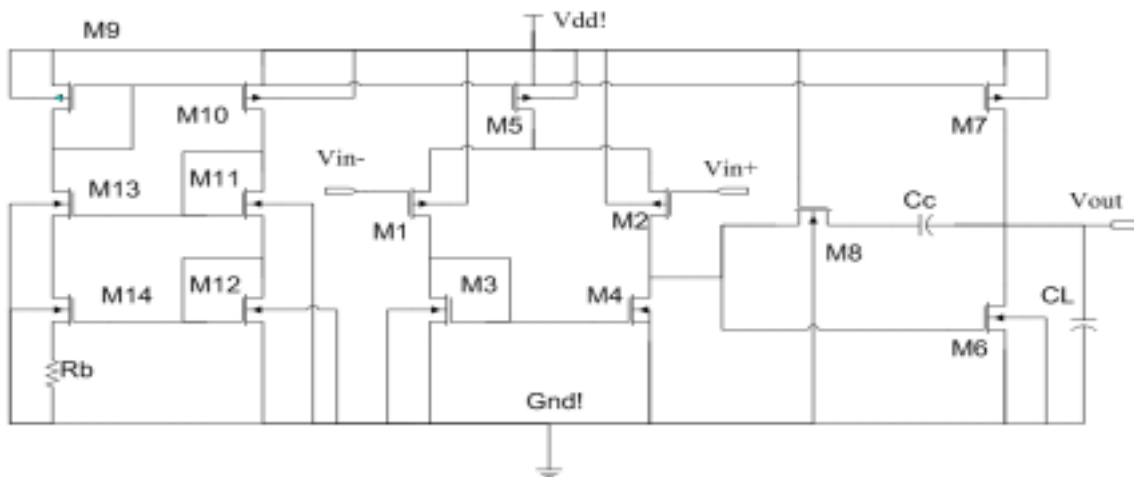


圖 1 兩級式運算放大器架構圖

制，且提出了創新的想法把能隙電壓參考電路(Bandgap)和脈波寬度調變器組成可應用於低電壓保護功能之脈波寬度調變驅動晶片上；本設計很適合使用標準的 CMOS 製程來實作，也很適合製作成一個 IP 電路，被廣泛的應用；從 HSPICE 的模擬結果得知本晶片其工作頻率在 100KHz~10MHz。本設計是以台積電 0.35 μm 2P4M CMOS 製程所設計的，操作溫度為 0 至 100 。其佈局面積為 343.7 μm * 325 μm，供應電源為 3.3V，功率消耗為 468.7330 μuw。

貳、原理與架構說明

低電壓保護功能之脈波寬度調變驅動晶片包含了四個子電路，分別是兩級運算放大器(Two Stage Operational Amplifier)、比較器(Comparator)、扼鈴式電壓控制振盪器(VCO)和能隙電壓參考電路(Bandgap References)，在此先簡單介紹其兩級式運算放大器、比較器、電壓控制振盪器和能隙電壓參考電路，最後再介紹低電壓保護功能之脈波寬度調變驅動晶片基本運作原理。

圖 1 是兩級式運算放大器電路的基本架構，在理想情況下，運算放大器是一個電壓控制電壓源，而且電壓增益無窮大，零輸入導納及零輸出阻抗，並且不受頻率、溫度、失真及雜訊的影響。然而，實際的運算放大器只能和理想近似而已。

理想運算放大器和實際運算放大器主要的差別有以下幾點：[2]

- 一、有限增益：實際的運算放大器電壓增益為有限值，在低頻小信號的典型值為 $A=10^3$ 到 10^5 左右，相當於 60 到 100dB，如圖 2 上面所示的關係圖。
- 二、頻率響應：由於雜散電容與載子的移動率等等的影響，使得在高頻時的增益降低。而一般稱為單位增益頻寬，是在頻率 f_0 時其 $|A(f_0)|=1$ 。CMOS 運算放大器的 f_0 一般

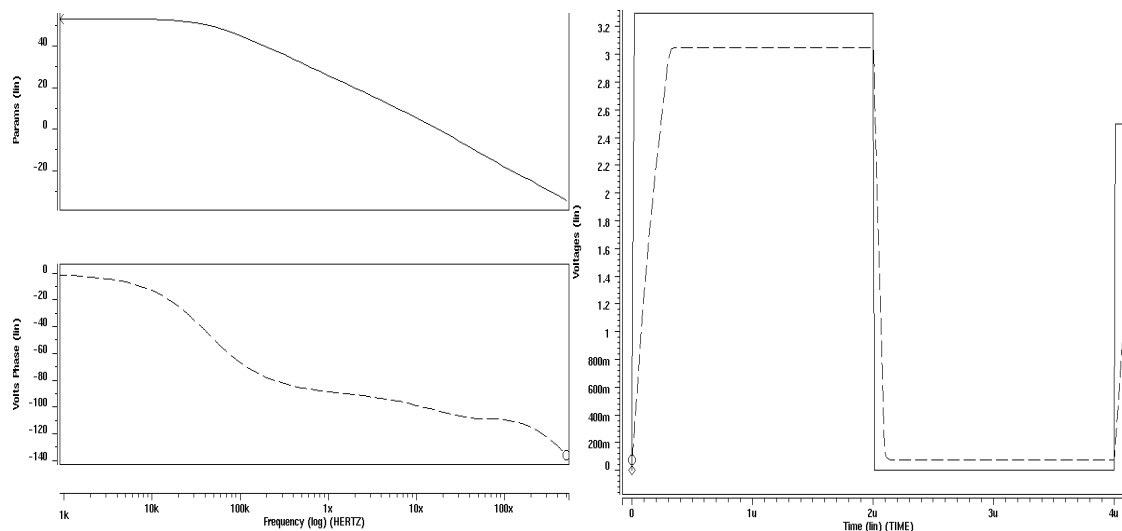


圖 2 兩級運算放大器的增益、頻寬、相位圖 圖 3 兩級運算放大器的迴轉率圖

為 1 到 100MHz，可經由電壓隨耦的結構來量測，如圖 2 下面所示的關係圖。

- 三、迴轉率(Slew Rate,SR)：在一個步階輸入電壓情況下，運算放大器上的部份電晶體可能會離開飽和區甚至完全截止。因此，輸出會比輸入有較慢的速度變化。而此時輸出電壓的最大變化率 dV_o/dt 即稱為 SR。迴轉率不直接和頻率響應有關，一般典型 CMOS 運算放大器，SR 為 1 到 $20V/\mu s$ 之間，如圖 3 所示。
- 四、動態範圍：由於運算放大器線性範圍的限制，使裝置操作在沒有額外的非線性雜訊下，最大的信號輸入振幅 $V_{in(max)}$ 。假設運算放大器的電源電壓為 $\pm V_{cc}$ 時， $V_{in(max)} = V_{cc}/A$ ，而 $V_{in(min)} = \sqrt{v_{in}^2}$ ，A 為運算放大器的開迴路增益。運算放大器的開迴路的動態範圍(dynamic range,DR)定義為

$$DR = 20 \log\left(\frac{V_{in(max)}}{V_{in(min)}}\right) \text{ db} \quad (1)$$

- 五、直流功率消耗：理想運算放大器沒有直流消耗功率，而一個 CMOS 運算放大器則在 0.25mW 到 10mW 左右。

以下針對設計的兩級運算放大器來看增益、頻寬、相位及迴轉率

比較器(圖 4)主要的架構是由差動對來設計的，主要是要增益夠大，這樣才能使電晶體快速進入飽和區，經由比較之後達到輸出 0 和 1 方波的效果；另一個考量是響應時間(Response Time)或傳輸延遲(Propagation Delay)，這是在差動輸入通過比較器臨界電壓的時間及輸出超過其後級的輸入邏輯位準時間，兩者間的延遲，注意的是當傳輸延遲在輸入信號從臨界驅動位準轉換到一相對僅超過臨界電壓位準是最差的，但在電力電子的應用上，用圖 4 架構的比較器可明顯的解決此問題，圖 5 是比較器的增益、頻寬和相位，圖 6 是比較器的迴轉率(Slew Rate)圖，圖 7 是比較器的 Hysteresis 圖。

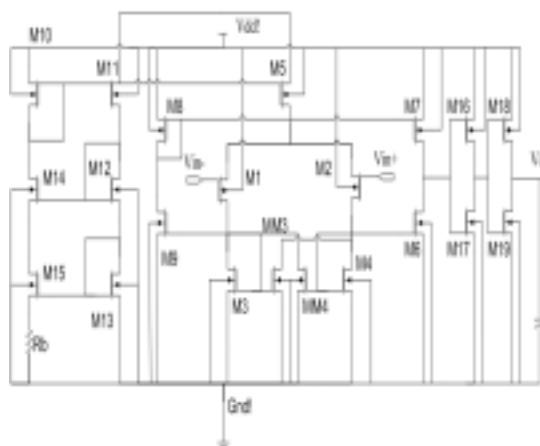


圖 4 比較器架構圖

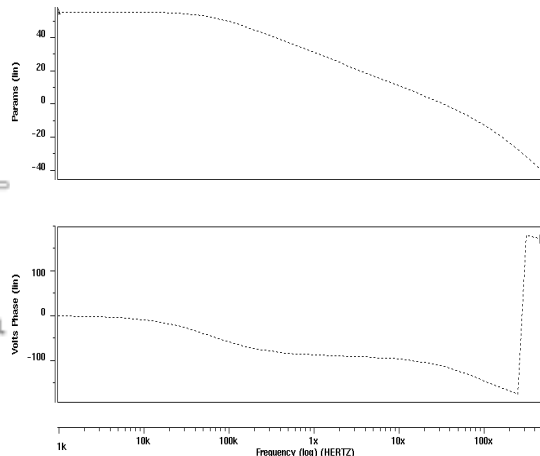


圖 5 比較器的增益、頻寬、相位圖

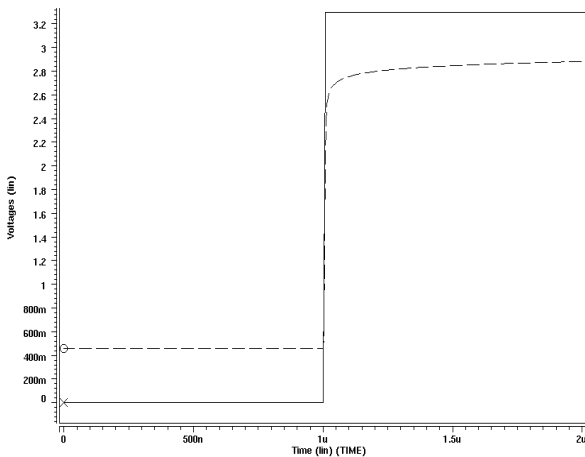


圖 6 比較器的 Slew Rate 圖

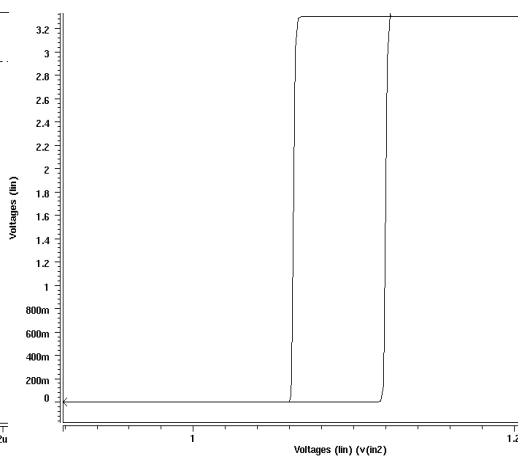


圖 7 比較器的 Hysteresis 圖

一個簡單的振盪器(圖 8)可以產生週期性的輸出，通常為電壓的形式，電路沒有輸入信號，而可以產生無限的輸出；電路要如何自己產生振盪呢？一個振盪器可以視為一個有回授設計的放大器。假設放大器本身在高頻時產生很大的相位移，使得整個回授變成正的，電路就會振盪。本晶片使用的電壓控制振盪器是由扼鈴式電壓振盪器改善而來 [3]，因為扼鈴式電壓振盪器每級有相位移，所以建議為奇數級且為 5 級，這樣回授回來的相位角才會一致，如同等效電容充放電的作用，利用此電壓控制振盪器來產生所需的振盪頻率，來和傳統的控制晶片使用外部 RC 來調整振盪頻率比較，不但省去了外部加 RC 的麻煩，且在晶片內振盪器所佔面積也相對的會小很多；在晶片完成後，將應用在

定頻的設計上，輸出再經由外加電容用積分的方式產生所需的三角波產生電路，作為 PWM 比較之載波；圖 9 是依序為輸入電壓、回授電壓和輸出電壓的振盪波形。

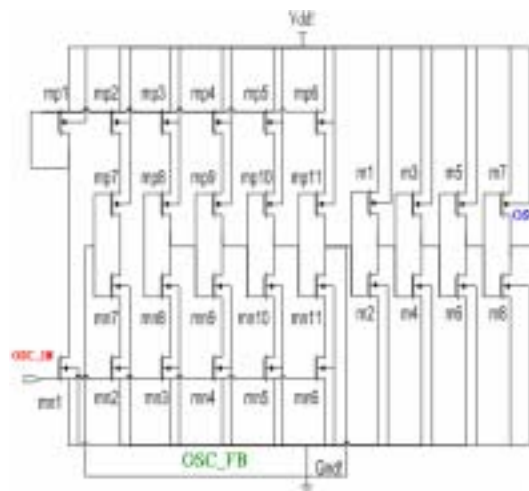


圖 8 電壓控制振盪器的電路圖

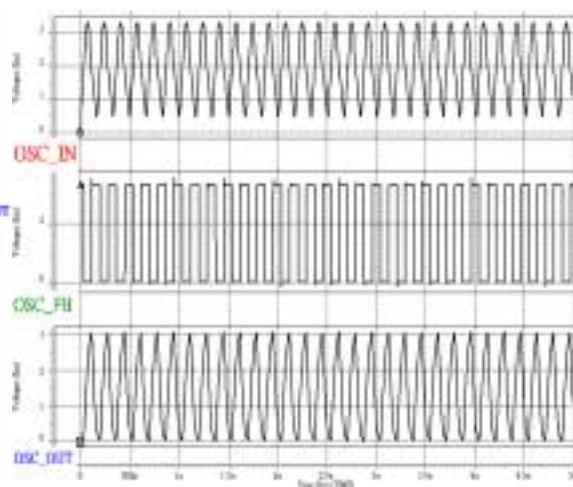


圖 9 依序為輸入電壓 回授電壓和輸出電壓的振盪波形

參考電壓源的設計電路[6]，是藉由一個有正溫度係數的 PTAT 電路來補償由 PN 介面所產生的負溫度係數；這個電路可表現出不錯的輸出電壓值，不過仍有缺點存在。因為電路上用到一個兩級運算放大器，由於所有的放大器大都有補偏(offset)效應，所以也會使整體的表現變差；在此將兩級運算放大器改成連接一個截斷(chopping)放大器來解決補偏效應。

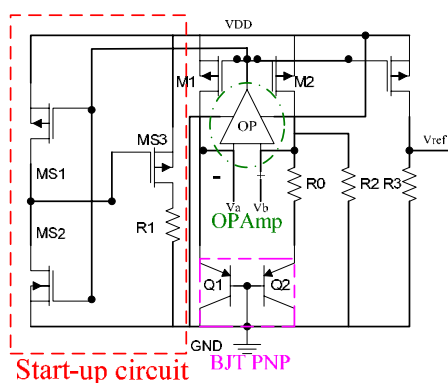


圖 10 能隙電壓參考電路圖

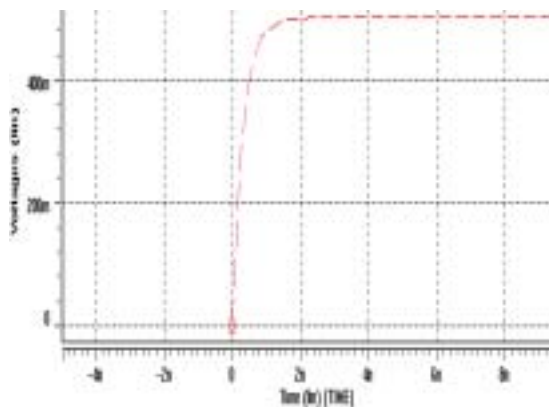


圖 11 輸出電壓 Vref 對時間的影響

圖 10 為能隙電壓參考電路，主要電路有啟動電路(start up circuit)、兩級運算截斷放大器 OP、BJT PNP 電晶體以及由其它電晶體、電阻組成的能隙偏壓電路部分，整個即為能隙電壓參考電路；圖 11、圖 12、圖 13 是 Vref 和對時間、溫度和供給電壓的影響。

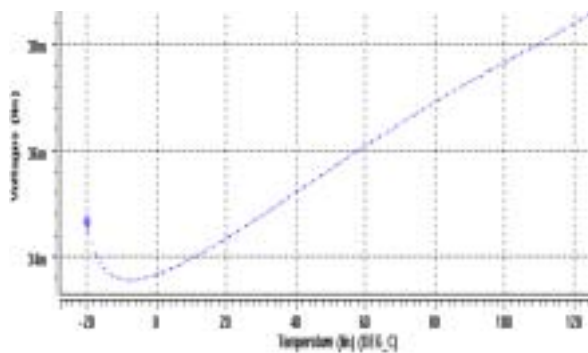


圖 12 輸出電壓 Vref 對溫度的影響

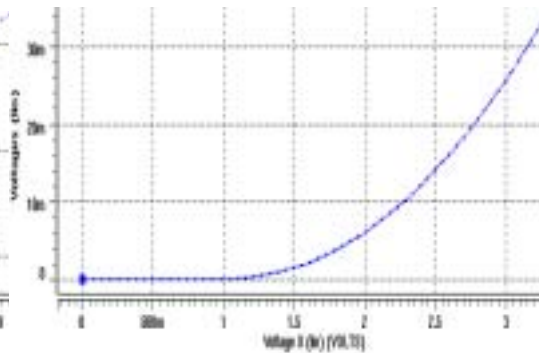


圖 13 輸出電壓 Vref 對供給電壓的影響

所謂脈波寬度調變器(PWM)如圖16左上部虛線部份電路，其利用週期一定的三角波或鋸齒波作為輸入訊號的電壓準位，用來與輸入參考電壓比較，以產生脈波寬度週期變化的電路，並利用工作週期(Duty Cycle)之變化來控制MOSFET。

本設計電路是採用週期性的PWM，組成PWM必須累積輸出的三角波值，在與輸入設定值做比較，若三角波值小於所輸入設定時，PWM輸出為電壓高準位，否則為電壓低準位，因此當輸入設定值越大，PWM輸出Hi的時間越長，負荷週期就越大，輸出功率就越大。PWM 的波形控制方式如下，首先產生一組平均值為所指定電壓波形，即控制所謂的工作週期，其定義如下：

$$\text{平均電壓} = \frac{T_{ON}}{(T_{ON} + T_{OFF})} \times \text{電源電壓} \tag{2}$$

上式中， T_{ON} 為開關ON時之導通時間， T_{OFF} 為開關OFF之截止時間，工作週期即為 $T_s (T_{ON} + T_{OFF})$ 。

利用週期一定的三角波或鋸齒波作為輸入電壓訊號的準位，用以比較輸入訊號的位準，以產生脈波寬度週期變化的訊號。PWM 電路設計上，皆以產生一組三角波 (或鋸齒波)和參考電壓做比較，當參考電壓小於三角波電壓時，輸出訊號便送出0，當參考電壓大於三角波電壓時，輸出訊號即送出1，因此便產生PWM 控制波形，如圖14所示為PWM的方塊圖及圖15波形運作圖：[4]

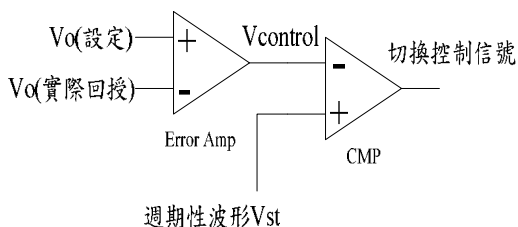


圖 14 PWM的方塊圖

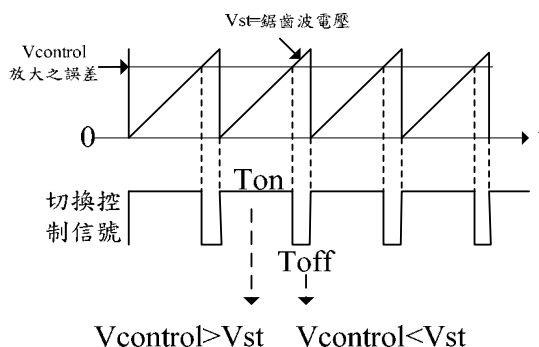


圖 15 PWM波形運作圖

PWM切換控制開關之切換控制信號由一控制信號 $V_{Control}$ 與一週期為 T_S 之鋸齒波 V_{st} （或三角波）比較而得，控制信號則由 V_o 之實際值與設定值之誤差放大而得。 $V_{Control}$ 、 V_{st} 與比較所得之切換控制信號，當 $V_{Control}$ 較 V_{st} 大時，比較之結果為高準位使開關導通，否則為低位準使開關截止。故開關之切換週期亦為 T_S ，通常誤差放大器之設計必須使 $V_{Control}$ 之變化速度較切換頻率慢許多。

本低電壓保護功能之脈波寬度調變驅動晶片規格表如下表一：

IC的腳位為：Input Pins 共3腳、Output Pins 共3腳、Vdd、Gnd 總計共8腳。

表一 規格列表

Low-Frequency Gain	A_o 55dB
Unity-Gain Frequency	f_o 15MHz
Slew Rate	Sr 8V/ μ s
Phase Margin	PM 60°
Load Impedance	$C_L=10pF$
DC Supply Voltage	3.3V
Input Range	0.15~2.85
Power dissipation	468.7330 μ w
Total Area	343.7 μ m x 325 μ m
Package	SB28 DIP(包裝種類)
Transistor/Gate Count	61顆(電晶體/邏輯閘數)

三、電路詳圖與設計流程

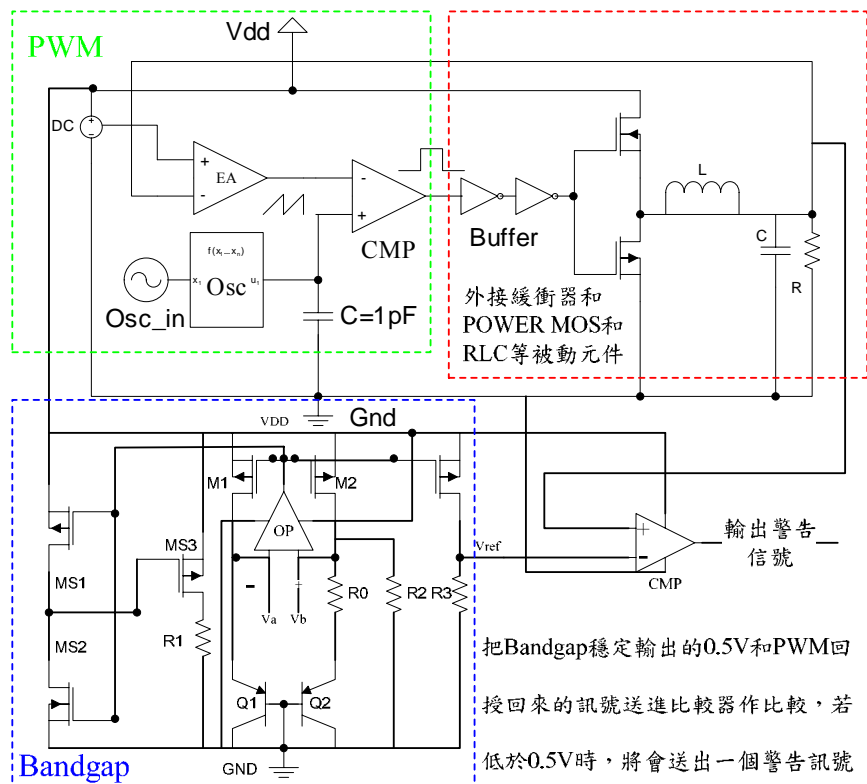


圖16 低電壓保護功能之脈波寬度調變驅動晶片架構圖

對於PWM的輸出訊號，最後還要經過兩級緩衝器(Buffer)、一個特殊W值的反向器加上電感L、電容C、電阻R等被動元件，當成一個回授電壓，最後再拉回PWM中兩級運算放大器的VIN-中，和PWM中兩級運算放大器的參考電位Vref(VIN+)一同形成一個DC轉DC的電路[7]；而低電壓保護功能之脈波寬度調變驅動晶片就是把PWM的回授電壓和能隙電壓參考電路所輸出的電壓送進外部比較器作一個比較，在此能隙電壓參考電路的穩定輸出為0.5V，所以當PWM回授電壓低於0.5V的時候，外部比較器將會送出一個警告信號來通知使用者PWM輸出電壓不足0.5V，電路運作可能有失敗甚至錯誤的情況，以達到低電壓保護的功能；圖17、圖18是當給不同PWM中兩級運算放大器的參考電位Vref(VIN+)和不同負載的PWM輸出回授電壓的情況：

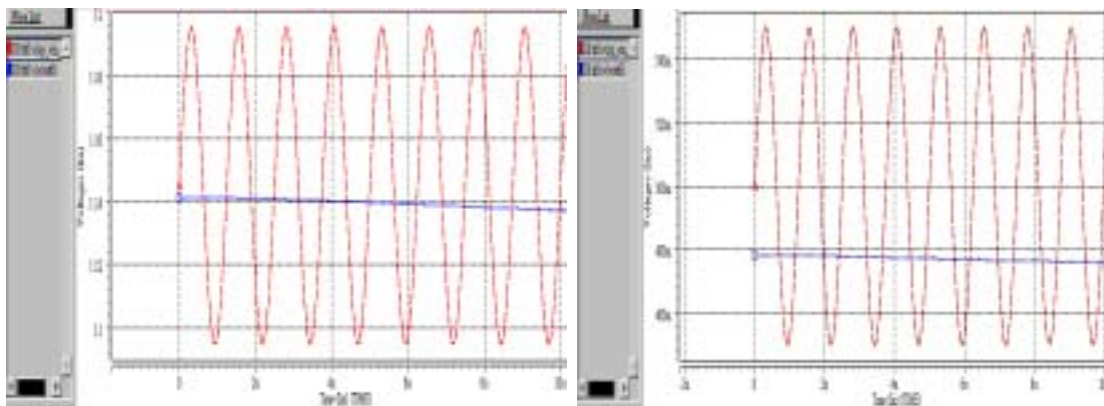


圖 17 PWM Vref=1.1V , R=51 , PWM Vo=1.1V 圖 18 PWM Vref=0.5V , R=20 , PWM Vo=0.48

圖19和圖20是PWM輸出回授電壓(○部分)和能隙參考電壓(部分)一同送入外部比較器所顯示的波形(X部分)，圖19是PWM輸出回授電壓高於能隙參考電壓，所以維持在高準位上，圖20是PWM輸出回授電壓低於能隙參考電壓，所以維持在低準位上。

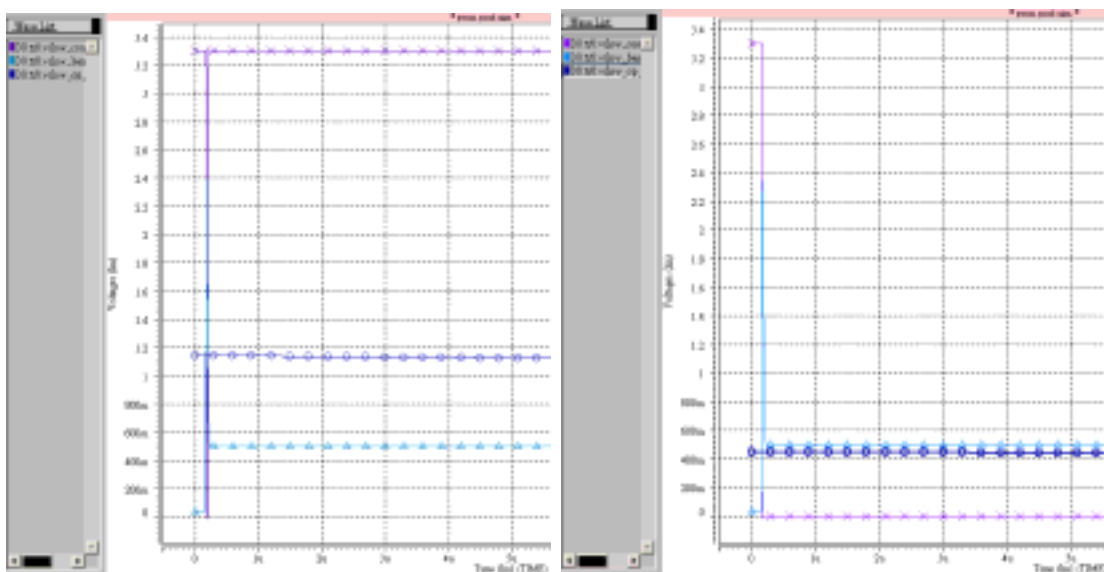


圖 19 $V_{PWM_OUT} > V_{Bandgap_OUT}$

圖 20 $V_{PWM_OUT} < V_{Bandgap_OUT}$

設計流程方面，本晶片採用 TSMC 0.35um 製程(T035MS115)：

- Step01：首先決定出要做的方向，進而定出所要設計的晶片。
- Step02：針對設計的晶片，先明白其電路架構，再自己訂出所要的規格。
- Step03：針對本晶片是由四個基本電路所構成，所以在 Step04、Step05、Step06、Step07 分別對兩級運算放大器、比較器、電壓控制振盪器和能隙電壓參考電路作分析與設計。
- Step04：理想兩級式運算放大器所要的是增益要大、頻寬要大、相位角約 60 度加上 Slew Rate 要快，這樣運算放大器的輸出才能送至下一級的比較器作比較。
- Step05：比較器的設計是由運算放大器的差動對所設計的，所以此類比較器的增益、頻寬、相位角和 Slew Rate 都和兩級運算放大器的值差不多，主要使比較器的 Composite i/o curve 在一定的範圍，並讓比較器的輸出在 50%的工作週期，這樣在作測試時，給一個外接電容，才會有明顯的三角波。
- Step06：電壓控制振盪器的設計是用電壓來控制頻寬的的自發性振盪器，只要供給電壓給定在區間內，相對振盪出來的頻率也是在定出的規格之內，之後再送至比較器對運算放大器的輸出做比較。
- Step07：能隙參考電路輸出電壓要穩定，最好能不受溫度、供給電壓和製程等影響。
- Step08：針對四個子電路分別進行 Pre Sim 的動作，看是否有符合規格，最後對整個低電壓保護功能之脈波寬度調變驅動晶片進行 Pre Sim，以證實設計無誤。
- Step09：對設計好的電路，用佈局工具 Laker 著手進行佈局。
- Step10：對佈局出來的 gds 檔作 DRC (Design Rules Check)，看是否有違反製程的規則。
- Step11：對佈局出來的 gds 檔作 ERC(Electronic Rules Check)，看是否違反電氣的規則。
- Step12：對佈局出來的 gds 檔作 LVS (Layout vs Schematic)，看是否和 spice 符合。
- Step13：對佈局出來的 gds 檔作 LPE (Post layout extraction)，萃取出佈局所產生的寄生電阻、電容的效應。
- Step14：對做完 LPE 的 spice 進行 Post Simulation，驗證是否和 Pre Simulation 相近。
- Step15：將最後產生的 GDS II 檔送交(CIC)國家晶片系統設計中心製作 IC，即可完成脈波寬度調變 IC 的製作流程。

低電壓保護功能之脈波寬度調變驅動晶片的設計流程圖(圖 21 所示)(Full-Custom Flow)

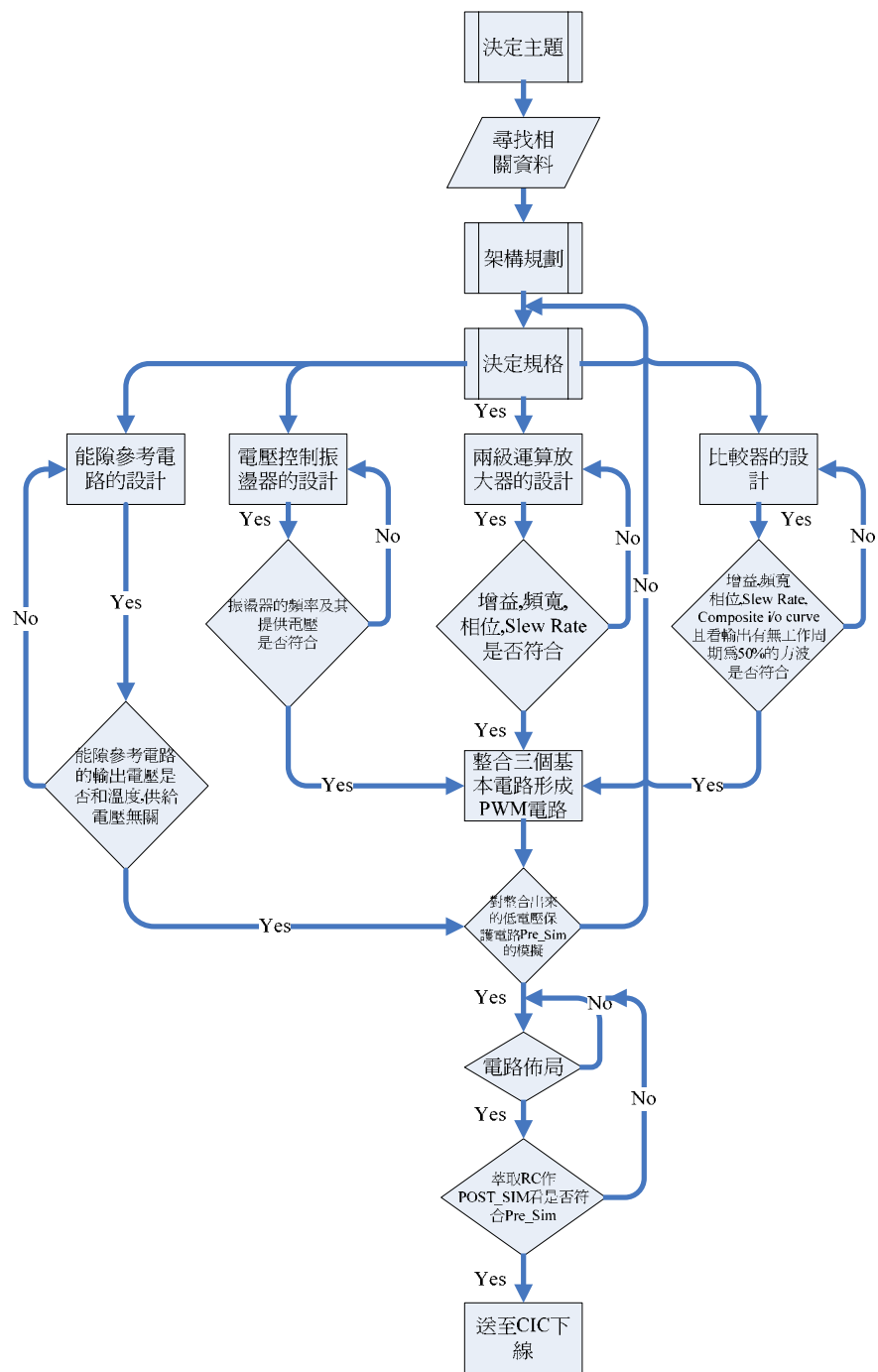


圖 21 設計流程圖

肆、模擬與實測結果

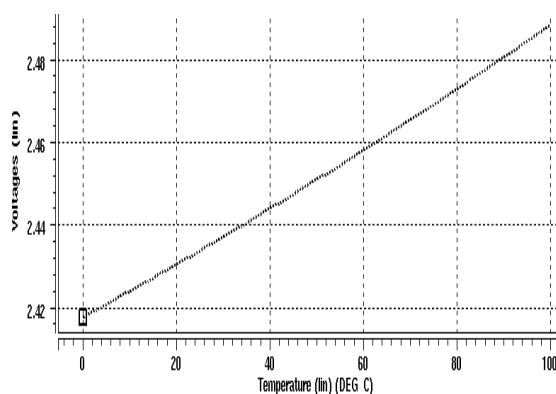


圖22 溫度(0度到100度)對偏壓電路的影響關係圖

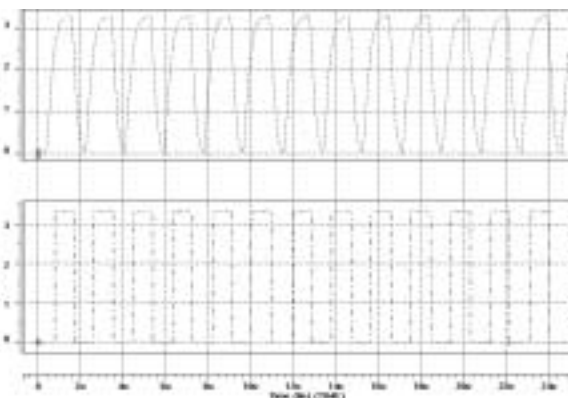


圖23 $V_{control}=2.8$, $V_{st}=0.7$, 頻率在500KHz的波形圖

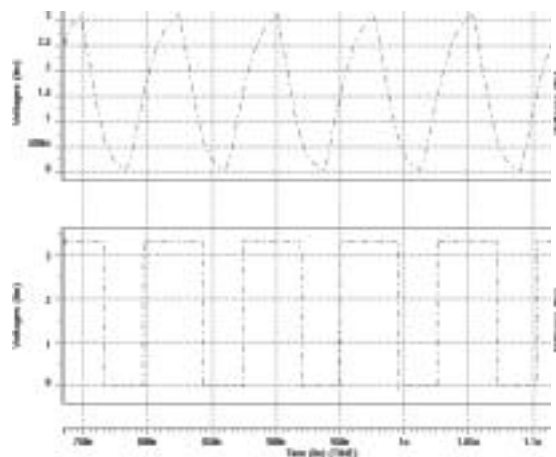


圖24 $V_{control}=1$, $V_{st}=0.68$, 頻率在13MHz的波形圖

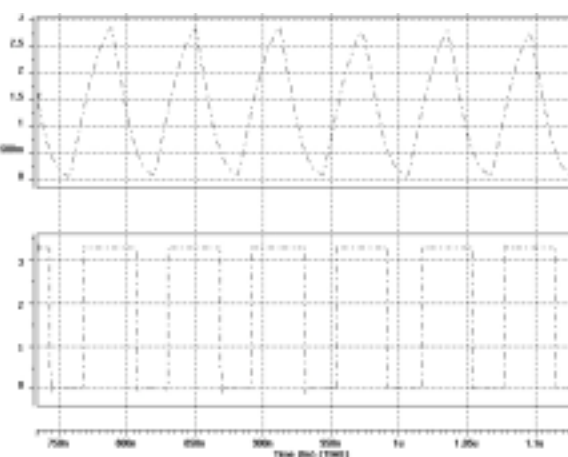


圖25 $V_{control}=0.8$, $V_{st}=0.7$, 頻率在16MHz的波形圖

圖22為偏壓電路對溫度 0°C 到 100°C 的電壓變動率 $=0.06\text{V}$ ，可知溫度對偏壓電路的影響非常的小，圖23、圖24和圖25是分別給在不同振盪頻率下及不同OP輸出訊號下送進比較器出來所得的振盪波形圖，最高到15MHz，振盪出來的脈波皆不會失真，測試考量主要擺在整個晶片的功能是否能正確工作，所以在電路內部，分別在兩級運算放大器及電壓控制振盪器輸出都各拉出接腳以作測試，若其中一個電路無法正常運作，都可利用外接的方式來作測試，在比較器輸出的部份，再串接兩級的緩衝器(Buffer)，如(圖16)所示，以用來驅動不足的部份，其後再接上一個反向器、RLC電路，再將其輸出拉回兩級運算放大器作測試[8]；電壓振盪的部份，在拉出的接腳處外接一個電容，讓充放電的取樣更像三角波以送進比較器作比較的動作；而能隙參考電壓電路，由於製程漂移，溫度變異，漂移電壓，運算放大器增益變化以及模擬模型不完全精準等等因素，使得能隙電壓參考電路要在晶片下線之後作測量的動作，測量直接加3.3V的電壓給電路，再用示波器觀察其輸出的電壓；對於溫度的考量，把電路置在溫度差不多 0°C 到 100°C 的環境中測量，觀察電壓對溫度的影響和模擬的0.00165V相符合；最後配合PWM的輸出回授電壓和能隙參考電壓電路最後輸出的0.5V一起送進外部比較器作比較，若有警告訊號則表示已達到低電壓保護的功能，圖26為Bandgap佈局平面圖，圖27為PWM佈局平面圖。

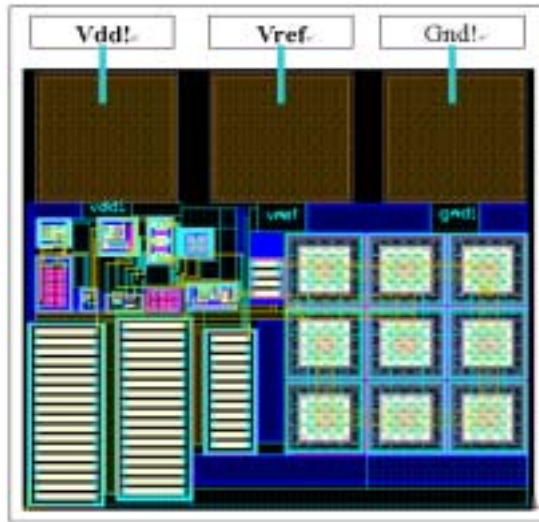


圖26 Bandgap佈局平面圖

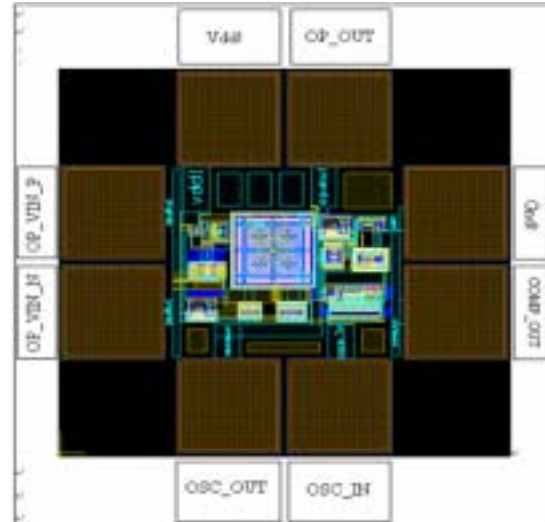


圖26 Bandgap佈局平面圖

伍、結論

本篇論文提出的晶片架構，使用TSMC 0.35um 2P4M CMOS製程來實作此脈波寬度調變晶片，在設計上，不但工作電壓最低可達0.15V，最高也可到達2.85V，整個電路的消耗功率更只有468.7330 uw，這在類比電路的設計中，消耗功率已算是非常的小，面積的部分(343.7um x 325um)，也明顯的減少了成本，並配合一個和供應電壓、溫度都無關的帶差參考電路(Bandgap References)，這顆PWM IC可應用於低電壓保護電路在行動通訊設備、可攜式影音設備...等等工作於長時間使用、低電壓工作、低消耗功率，且不受溫度影響的電子產品上。

參考文獻

1. 李峻賢 譯，Behzad Razavi 著，“類比CMOS積體電路設計”，滄海，(民93)。
2. 范順程，“電源管理晶片之分析與設計”，國立雲林科技大學電機系碩論，(民91)。
3. 黃威霖，“適合低電壓應用端的高效率CMOS直流轉直流切換式穩壓器”，國立成功大學電機工程學系碩士論文，(民93)。
4. 江炫樟 譯，“電力電子學”，全華，(民91)。
5. A.J.Stratakos, S.R.Sanders and R.W.Brodersen, “A Low-voltage CMOS DC-DC Converter for a Portable Battery-operated System,” Power Electronics Specialists Conference Record of the IEEE, PESC '94 Record, vol.1,pp. 619-626, 1994.
6. K. E. Kujik, “A Precision Reference Voltage Source,” IEEE JSSC, June 1973
7. E. C. Dijkmans and J. A. T. M. van den Homberg, “PWM Amplifier with Feedback Loop Integrator,” U.S. Patent 6 300 825, Oct. 9, 2001.
8. Robert Erickson and Dragon Maksimovic, “High Efficiency DC-DC Converters for Battery-Operated Systems with Energy Management,” Department of Electronical and Computer Engineering, University of Colorado. Worldwide Wireless Communications, Annual Reviews on Telecommunications, 1995. Boulder 80309-0425.

Pulse-Width Modulation Driver Chip Design with Low-Voltage Protecting Function

Tsai-Ning Wu

Yeong-Chau Kuo

How-Rern Lin

Department of Computer Science and Information Engineering, Da-Yah University

Abstract

In recent years, the CMOS integrated circuits technology has been successfully applied to many systems. In order to provide enough power for portable devices, the low voltage and low power circuits will be the trend for current CMOS IC design. For many modern analog circuits, it is very important to generate a reference voltage independent of supply voltage and temperature, such as bandgap voltage circuits. The circuit utilizes a PTAT (proportional to absolute temperature) circuit to compensate the negative temperature coefficient circuit, that improves the performance of circuits such as accuracy, reliability, and so on. Pulse-width modulation (PWM) techniques have been widely used in power electronic products. The design and implementation of a DC-DC buck converter proposed PWM driver chip design with low-voltage protecting function for low supply voltage electronic system is presented in this paper. With high power conversion efficiency, this design can be applied to portable electronic products such as mobile phone, digital camera, PDA, etc.

This chip is fabricated with TSMC (Taiwan Semiconductor Manufacture Company) 0.35 μ m 2P4M 3.3V Mixed Signal CMOS technology through CIC in January 2005. The chip supply voltage is 3.3V. The operable frequency range is from 100KHz to 10MHz with total power consumption of 468.733 μ w and the chip area size is 343.7 μ m*325 μ m.

Keywords: bandgap reference circuit , PTAT , PWM , buck converter , mixed signal CMOS technology

